#### Curriculum di Martin Omaña

DICHIARAZIONI SOSTITUTIVE DI CERTIFICAZIONE

(ART. 46 D.P.R. 28.12.2000, n. 445)

DICHIARAZIONI SOSTITUTIVE DELL’ATTO DI NOTORIETA’

(ART. 47 D.P.R. 28.12.2000, n. 445)

Il sottoscritto Martin Omaña, nato a Buenos Aires (Argentina) il 17 gennaio 1975, sesso maschile, cittadinanza Italiana secondo le risultanze del comune di Bologna, residente a Bologna (Bo), in Via Varolio n. 6, (c.a.p. 40133), Telefono: 346 4627502, email: martin.omana@unibo.it, Codice Fiscale MNOMTN75A17Z600H, consapevole delle sanzioni penali richiamate dall’art. 76 del D.P.R. 28 dicembre 2000, n. 445 per le ipotesi di falsità in atti e dichiarazioni mendaci

**DICHIARA**

Che il proprio curriculum è il seguente e che tutto quanto in esso dichiarato corrisponde a verità ai sensi delle norme vigenti in materia di dichiarazioni sostitutive.

Il curriculum è stato organizzato, per quanto possibile, in base ai criteri definiti dal MIUR nel D.M. 243/2011.

**1. Titoli di Studio**

* Aprile 2017 - Conseguimento dell’**Abilitazione Scientifica Nazionale** (ai sensi dell’art. 16 della Legge 30 dicembre 2010, n. 240) a **Professore di II Fascia**, settore concorsuale 09/E3, nella procedura di Abilitazione Scientifica Nazionale 2016 (bando con scadenza 3 dicembre 2016), con **giudizio unanime** della commissione
* Aprile 2005 – Conseguimento del titolo di **Dottore di Ricerca**in **Ingegneria Elettronica, Informatica e delle Telecomunicazioni** (Dottorato dell’Università degli Studi di Bologna) con superamento dell’esame finale (con Commissione Nazionale) presso l’Università degli Studi di Bologna (in data 22 aprile 2005)
  + Agosto 2000 – Conseguimento della **Laurea in Ingegneria Elettronica** presso l’Università di Buenos Aires (Argentina), titolo equivalente alla Laurea Italiana Vecchio Ordinamento

**2. Attività Didattica**

* **Professore a Contratto** per l’insegnamento ***Sistemi Elettronici ad Alta Affidabilità M***, **modulo 2** (3 CFU), della Laurea Magistrale in Ingegneria Elettronica (curriculum Elettronica) dell’Università degli Studi di Bologna, **A.A. 2022-2023**
* **Professore a Contratto** per l’insegnamento ***Sistemi Elettronici ad Alta Affidabilità M***, **modulo 2** (3 CFU), della Laurea Magistrale in Ingegneria Elettronica (curriculum Elettronica) dell’Università degli Studi di Bologna, **A.A. 2021-2022**
* **Professore a Contratto** per l’insegnamento ***Sistemi Elettronici ad Alta Affidabilità M***, **modulo 2** (3 CFU), della Laurea Magistrale in Ingegneria Elettronica (curriculum Elettronica) dell’Università degli Studi di Bologna, **A.A. 2020-2021**
* **Professore a Contratto** per l’insegnamento ***Introduction to Computer Architectures M*** (6 CFU) della Laurea Magistrale in Ingegneria Elettronica (curriculum Electronic technologies for Big-Data and Internet of Things – EBIT) dell’Università degli Studi di Bologna, **A.A. 2018/2019** – insegnamento parte del corso integrato Digital Systems and Introduction to Computer Architectures (12 CFU)
* **Professore a Contratto** per l’insegnamento ***Elettronica T*, modulo 2** (Elettronica di Potenza, 3 CFU) della Laurea inIngegneria dell’Energia Elettrica dell’Università degli Studi di Bologna, **A.A. 2018/2019**
* **Professore a Contratto** per l’insegnamento ***Elettronica T*, modulo 2** (Elettronica di Potenza, 3 CFU) della Laurea inIngegneria dell’Energia Elettrica dell’Università degli Studi di Bologna, **A.A. 2017/2018**
* **Professore a Contratto** per l’insegnamento ***Elettronica T*, modulo 2** (Elettronica di Potenza, 3 CFU) della Laurea inIngegneria dell’Energia Elettrica dell’Università degli Studi di Bologna, **A.A. 2016/2017**
* **Professore a Contratto** per l’insegnamento ***Elettronica T*, modulo 2** (Elettronica di Potenza, 3 CFU) della Laurea inIngegneria dell’Energia Elettrica dell’Università degli Studi di Bologna, **A.A. 2015/2016**
* **Professore a Contratto** per l’insegnamento ***Elettronica T*, modulo 2** (Elettronica di Potenza, 3 CFU) della Laurea inIngegneria dell’Energia Elettrica dell’Università degli Studi di Bologna, **A.A. 2014/2015**
* **Tutor** per l’insegnamento **“Reliable Data Processing and Storage for Intelligent Systems M”** (6 CFU), della Laurea Magistrale in Ingegneria Elettronica (curriculum Electronics for Intelligent Systems, Big-Data and Internet of Things – EBIT) dell’Università degli Studi di Bologna, **A.A. 2021/2022**
* **Tutor** per l’insegnamento **“Reliable Data Processing and Storage for Intelligent Systems M”** (6 CFU), della Laurea Magistrale in Ingegneria Elettronica (curriculum Electronics for Intelligent Systems, Big-Data and Internet of Things – EBIT) dell’Università degli Studi di Bologna, **A.A. 2020/2021**
* **Tutor** per l’insegnamento **“Design for Reliable Data Processing and Storage M”** (6 CFU), della Laurea Magistrale in Ingegneria Elettronica (curriculum Electronics for Intelligent Systems, Big-Data and Internet of Things – EBIT) dell’Università degli Studi di Bologna, **A.A. 2019/2020**
* **Tutor** per l’insegnamento **“Elettronica T-1”** (9 CFU) della Laurea inIngegneria Elettronica e Telecomunicazioni dell’Università degli Studi di Bologna, **A.A. 2017/2018**, **2013/2014**
* **Seminario** svolto su “*Impatto di Fenomeni di Invecchiamento sull’Affidabilità di ICs”* nell’ambito del corso **“Sistemi Elettronici ad Alta Affidabilità M”** (6 CFU)della Laurea Magistrale in Ingegneria Elettronica (curriculum: Elettronica) dell’Università degli Studi di Bologna, **A.A. 2021/2022, 2020/2021, 2016/2017**
* **Seminario** svolto su “*Codici a Correzione d'Errore di tipo Single Error Correction Double Error Detection (SEC-DED)”* nell’ambito del corso **“Sistemi Elettronici ad Alta Affidabilità M”** (6 CFU)della Laurea Magistrale in Ingegneria Elettronica (curriculum: Elettronica) dell’Università degli Studi di Bologna, **A.A. 2021/2022, 2020/2021, 2018/2019, 2017/2018, 2016/2017, 2015/2016, 2014/2015**
* **Seminario** svolto su “*Hadware in the Loop (HiL)”* nell’ambito del corso **“Test, Diagnosis and Reliability M”** (6 CFU)della Laurea Magistrale in Advanced Automotive Electronic Engineering (A2E2) dell’Università degli Studi di Bologna, **A.A. 2021/2022, 2020/2021, 2018/2019, 2017/2018**
* **Seminario** svolto su “*Aging Phenomena and Description of their Impact on Soft Error*”nell’ambito del corso **“Design for Reliable Data Processing and Storage M”** (6 CFU)della Laurea Magistrale in Ingegneria Elettronica (curriculum Electronic technologies for Big-Data and Internet of Things – EBIT) dell’Università degli Studi di Bologna, **A.A. 2019/2020, 2017/2018**
* **Seminario** svolto su “*Single Error Correction, Double Error Detection (SEC-DED) Codes*”nell’ambito del corso **“Design for Reliable Data Processing and Storage M”** (6 CFU)della Laurea Magistrale in Ingegneria Elettronica (curriculum Electronic technologies for Big-Data and Internet of Things – EBIT) dell’Università degli Studi di Bologna, **A.A. 2021/2022, 2020/2021, 2019/2020**
* **Seminario** svolto su “*Impact of Ageing Phenomena on ICs’ Soft Error Vulnerability”* nell’ambito del corso **“Design for Testability and Reliability of Integrated Circuits M”** (9 CFU)della Laurea Magistrale in Ingegneria Elettronica (curriculum: Electronics and Communications Science and Technology – ECST) dell’Università degli Studi di Bologna, **A.A. 2015/2016**
* **Seminario** svolto su “*Hot-Spot Heating in Photovoltaic Cells”* nell’ambito del corso **“Design for Testability and Reliability of Integrated Circuits M”** (9 CFU)della Laurea Magistrale in Ingegneria Elettronica (curriculum: Electronics and Communications Science and Technology – ECST) dell’Università degli Studi di Bologna, **A.A. 2010/2011**
* **Seminario** svolto su “*Data Security in Reti Wireless”* nell’ambito del corso **“Sistemi Elettronici ad Alta Affidabilità LS”** (6 CFU)della Laurea Specialistica in Ingegneria Elettronica dell’Università degli Studi di Bologna, **A.A. 2008/2009**
* **Esercitazioni di Laboratorio** per l’insegnamento **“Test, Diagnosis and Reliability M”** (6 CFU)della Laurea Magistrale in Advanced Automotive Electronic Engineering (A2E2) dell’Università degli Studi di Bologna, **A.A. 2017/2018, 2018/2019, 2019/2020, 2020/2021, 2021/2022**
* **Esercitazioni di Laboratorio** per l’insegnamento **“Sistemi Elettronici ad Alta Affidabilità M”** (6 CFU)della Laurea Magistrale in Ingegneria Elettronica (curriculum: Elettronica) dell’Università degli Studi di Bologna, **A.A. 2010/2011, 2011/2012, 2012/2013, 2013/2014, 2014/2015, 2015/2016, 2016/2017, 2017/2018, 2018/2019, 2020/2021, 2021/2022**
* **Esercitazioni di Laboratorio** per l’insegnamento **“Design for Reliable Data Processing and Storage M”** (6 CFU),della Laurea Magistrale in Ingegneria Elettronica (curriculum Electronic technologies for Big-Data and Internet of Things – EBIT) dell’Università degli Studi di Bologna, **A.A. 2017/2018, 2018/2019, 2019/2020, 2020/2021, 2021/2022**
* **Esercitazioni di Laboratorio** per l’insegnamento **“Design for Testability and Reliability of Integrated Circuits M”** (9 CFU)della Laurea Magistrale in Ingegneria Elettronica (curriculum: Electronics and Communications Science and Technology – ECST) dell’Università degli Studi di Bologna, **A.A. 2009/2010, 2010/2011, 2011/2012, 2012/2013, 2013/2014, 2014/2015, 2015/2016, 2016/2017**
* **Esercitazioni di Laboratorio** per l’insegnamento **“Sistemi Elettronici ad Alta Affidabilità LS”** (6 CFU)della Laurea Specialistica in Ingegneria Elettronica dell’Università degli Studi di Bologna, **A.A. 2002/2003, 2003/2004, 2004/2005, 2005/2006, 2006/2007, 2007/2008, 2008/2009**
* **Esercitazioni di Laboratorio** per l’insegnamento **“Circuitos Electronicos I” (“Circuiti Elettronici I”)**,della Laurea in Ingegneria Elettronica, vecchio ordinamento, dell’Università di Buenos Aires, Argentina, **A.A. 2000/2001** (dopo il conseguimento della Laurea), **2001/2002**
* **Esercitazioni** per l’insegnamento **“Elettronica T-1”** (9 CFU)della Laurea in Ingegneria Elettronica e Telecomunicazioni dell’Università degli Studi di Bologna, **A.A. 2011/2012, 2012/2013**
* **Esercitazioni** per l’insegnamento **“Elettronica T”** (9 CFU)del Corso di Laurea in Ingegneria dell’Energia Elettrica dell’Università degli Studi di Bologna, **A.A. 2009/2010, 2010/2011, 2011/2012**
* **Esercitazioni** per l’insegnamento **"Elettronica Applicata I”** della Laurea in Ingegneria Elettronica dell’Università di Buenos Aires (Argentina), **A.A. 2000/2001**
* **Supporto allo svolgimento** (nella definizione dei progetti e nella loro supervisione) del corso **“LAB of Reliable Systems Design M”** (3 CFU) della Laurea Magistrale in Ingegneria Elettronica dell’Università degli Studi di Bologna, **A.A. 2015/2016, 2016/2017, 2017/2018, 2018/2019, 2019/2020, 2020/2021, 2021/2022**
* **Supporto allo svolgimento** (nella definizione dei seminari invitati e nel loro coordinamento) del corso **“Industrial Trends in Electronics M”** (3 CFU)della Laurea Magistrale in Ingegneria Elettronica dell’Università degli Studi di Bologna, **A.A. 2019/2020, 2021/2022**
* **Supporto allo svolgimento** (nella definizione dei seminari invitati e nel loro coordinamento) del corso **“Trends in Electronics M”** (9 CFU)della Laurea Magistrale in Ingegneria Elettronica dell’Università degli Studi di Bologna, **A.A. 2016/2017, 2017/2018, 2018/2019**
* **Membro** della **Commissione d’Esame** per i seguenti insegnamenti:
* **“Introduction to Computer Architectures M”** della Laurea Magistrale in Ingegneria Elettronica (curriculum: Electronic technologies for Big-Data and Internet of Things – EBIT) dell’Università degli Studi di Bologna
* **“Design for Reliable Data Processing and Storage M”** della Laurea Magistrale in Ingegneria Elettronica (curriculum Electronic technologies for Big-Data and Internet of Things – EBIT) dell’Università degli Studi di Bologna
* **“Design for Testability and Reliability of Integrated Circuits M”**, della Laurea Magistrale in Ingegneria Elettronica (curriculum: Electronics and Communications Science and Technology – ECST) dell’Università degli Studi di Bologna
* **“Test, Diagnosis and Reliability M”** della Laurea Magistrale in Advanced Automotive Electronic Engineering (A2E2) dell’Università degli Studi di Bologna
* **“Sistemi Elettronici ad Alta Affidabilità M”** della Laurea Magistrale in Ingegneria Elettronica (curriculum: Elettronica) dell’Università degli Studi di Bologna
* **“LAB of Reliable Systems Design M”** della Laurea Magistrale in Ingegneria Elettronica dell’Università degli Studi di Bologna
* **“Trends in Electronics M”** della Laurea Magistrale in Ingegneria Elettronica dell’Università degli Studi di Bologna
* **“Industrial Trends in Electronics M”** della Laurea Magistrale in Ingegneria Elettronica dell’Università degli Studi di Bologna
* **“Attività Preparatoria alla Tesi M”** della Laurea Magistrale in Ingegneria Elettronica (curriculum: Elettronica) dell’Università degli Studi di Bologna
* **“Preliminary Final Project Work M”** della Laurea Magistrale in Ingegneria Elettronica (curriculum Electronic technologies for Big-Data and Internet of Things – EBIT) dell’Università degli Studi di Bologna
* **“Elettronica T”** della Laurea in Ingegneria dell’Energia Elettrica dell’Università degli Studi di Bologna
* **Correlatore** delle seguenti **tesi di Laurea Specialistica** (vecchio ordinamento) **e Magistrale** in Ingegneria Elettronica dell’Università di Bologna:
* “Diagnosi Concorrente di Guasti in Sistemi ad Alta Affidabilità”, Ing. Nicola Laffi, A.A. 2002-2003 *(svolta in collaborazione con STMicroelectronics)*
* “Rivelazione e Correzione Concorrente di Guasti Transitori in Memorie Statiche”, Ing. Fabio Albanese, A.A. 2002-2003
* “Tecniche di Riconfigurazione Concorrente per Sistemi ad Alta Affidabilità”, Ing. Andrea Ferrari, A.A. 2003-2004 *(svolta in collaborazione con STMicroelectronics)*
* “Strategie di Progetto e di Ausilio alla Progettazione per Automi Nanometrici ad Alta Affidabilità”, Ing. Ovidio Losco, A.A. 2003-2004 *(svolta in collaborazione con STMicroelectronics)*
* “Effetti di Guasti Transitori Multipli sul Funzionamento di Circuiti Very Deep SubMicron”, Ing. Fabio Toma, A.A. 2004-2005 *(svolta in collaborazione con STMicroelectronics)*
* “Rivelazione Concorrente di Guasti in Microprocessori ad Alte Prestazioni”, Ing. Giuliano Garramone, A.A. 2006-2007 *(svolta in collaborazione con Intel Corporation)*
* “Strategie di Misura sul Chip del Clock Jitter per Microprocessori ad Alte Prestazioni”, Ing. Daniele Giaffreda, A.A. 2007-2008 *(svolta in collaborazione con Intel Corporation)*
* “On-Line Testing Approaches for High Performance Microprocessors”, Ing. Filopimin Andreas Dragonas, A.A. 2007-2008 *(svolta in collaborazione con la Università di Atene, Grecia)*
* “Modeling and Tolerance of Faults Affecting Circuits Implemented by Emergent Technologies”, Ing. Salvatore Schinella, A.A. 2007-2008
* “Celle Solari Polimeriche”, Ing. Alessio Ronchini, A.A. 2010-2011
* “Fault Tolerant Energy Harvesting System for Biomedical Applications”, Ing. Roberto Specchia, A.A. 2007-2008 *(svolta in collaborazione con la Simon Fraser University, Canada)*
* “Power Analysis and Degradation of Organic PV Cells”, Ing. Gunanathan Nishanthan, A.A. 2010-2011 *(svolta in collaborazione con la Notheastern University, Boston, USA)*
* “Faults Affecting the Control Blocks of Photovoltaic Arrays and Techniques for Their Tolerance”, Ing. Giacomo Collepalumbo, A.A. 2010-2011 *(svolta in collaborazione con la Notheastern University, Boston, USA)*
* “Tecnologie Innovative per un Collaudo Affidabile di Sistemi Digitali Avanzati”, Ing. Filippo Fuzzi, A.A. 2011-2012 *(svolta in collaborazione con Intel Corporation)*
* “Analisi degli Effetti di Guasti Transitori ed Invecchiamento su Elementi di Memoria”, Ing. Luz Antuanet Adanaquè Infante, A.A. 2012-2013
* “Tecniche Innovative per l’Alta Qualità del Collaudo di Microprocessori ad Elevate Prestazioni”, Ing. Edda Beniamino, A.A. 2012-2013 *(svolta in collaborazione con Intel Corporation)*
* “Analisi di Guasti di Sistemi Fotovoltaici e Strategie per la loro Tolleranza”, Ing. Alessandro Fiore, A.A. 2014-2015
* “Strategie per la Caratterizzazione dopo la Fabbricazione del Consumo di Potenza di Microprocessori ad Alte Prestazioni”, Ing. Kresnik Veliu, A.A. 2014-2015 *(svolta in collaborazione con Intel Corporation)*
* “Strategie per un’Elevata Qualità del Collaudo di Microprocessori ad Alte Prestazioni”, Ing. Riccardo Cesari, A.A. 2014-2015 *(svolta in collaborazione con Intel Corporation)*
* “Faults Affecting Resistive memories and Approaches to Detect Them”, Ing. Sejuti Bardhan, A.A. 2016-2017
* “Strategie per la Rivelazione di Guasti in Memorie Resistive”, Ing. Anna Righi, A.A. 2016-2017
* “Progettazione di Sistemi Elettronici per Smart Lighting Basati su Sensori ad Onde Infrarosse”, Ing. Francesca Campitiello, A.A. 2017-2018 (*svolta in collaborazione con la ditta Becar – Beghelli*)
* “Affidabilità di Sistemi di Regolazione dell’Alimentazione per Processori Multi-Core”, Ing. Alex Menghi, A.A. 2017-2018 (*svolta in collaborazione con Intel Corporation*)
* “Progetto di Sistemi di Regolazione dell'Alimentazione ad Alta Affidabilità per Processori Multi-Core”, Ing. Alessandro Stefani, A.A. 2018-2019 (*svolta in collaborazione con Intel Corporation*)
* “Sistemi di Regolazione dell’Alimentazione Affidabili per Processori Multi-Core”, Ing. Enrico Vicini, A.A. 2018-2019 (*svolta in collaborazione con Intel Corporation*)
* “Strategia di Smart Lighting basata su Innovativi Sensori a Termopila”, Ing. Stefano Pandolfo, A.A. 2018-2019 (*svolta in collaborazione con la ditta Becar – Beghelli*)
* “Innovative Smart Lighting Strategy Based on Bluetooth Low-Energy”, Ing. Mehdi Naseh, A.A. 2018-2019 (*svolta in collaborazione con la ditta Becar – Beghelli*)
* “Evaluation of Network on Chip Infraestructures for Dependability Management in Multicore Processors”, Ing. Muhammad Aqib Chaudhry, A.A. 2018-2019 (*svolta in collaborazione con la University of Twente, Olanda*)
* “Impact of Fault Attacks on Post-Quantum Cryptographic Systems”, Ing. Marta Carcione, A.A. 2018-2019 (*svolta in collaborazione con la Stuttgart University, Germania*)
* “Strategie di Autenticazione Affidabili per Sistemi ad Elevata Sicurezza”, Ing. Biagio Marzulli, A.A. 2018-2019 (*svolta in collaborazione con l’Università di Pisa*)
* “Valutazione dell’Affidabilità di Dispositivi di Potenza in Piani di Cottura ad Induzione”, Ing. Valentina Bracchetti, A.A. 2019-2020 (*svolta in collaborazione con la ditta Electrolux*)
* “Design of a Smart Lighting Strategy Based on Smartphone Devices”, Ing. Aalap Pathak, A.A. 2019-2020 (*svolta in collaborazione con la ditta Becar – Beghelli*)
* “Review of Fault Mitigation Approaches for Deep Neural Networks for Computer Vision in Autonomous Driving”, Ing. Mattia Cerino, A.A. 2019-2020 (*svolta in collaborazione con Intel Labs, Germania*)
* “Safety Risks of Design for Reliability Approaches for Microprocessors' Voltage Regulators in Highly Autonomous Intelligent Systems”, Ing. Matteo Lenti, A.A. 2019-2020 (*svolta in collaborazione con Intel Corporation*)
* “Development of Innovative Algorithms and Tools to Test Advanced Technology Cell Libraries”, Ing. Francesco Lorenzelli, A.A. 2019-2020 (*svolta in collaborazione con IMEC, Belgio*)
* “Rischi per la Safety delle Cache di Microprocessori per Sistemi Intelligenti ad Elevato Livello di Autonomia”, tesi di Laurea Magistrale di Annalisa Manfredi, A.A. 2019-2020 (*svolta in collaborazione con Intel Corporation*).
* “Design Approaches for Reliable Fully Integrated Voltage Regulators of High Performance Microprocessors for Highly Autonomous Systems”, tesi di Laurea Magistrale di Abdul Basit Parker, A.A. 2020-2021(*svolta in collaborazione con Intel Corporation*).
* “Design of an Innovative Electric Vehicle Simulator for Charging Systems' End-of-Line Testing”, tesi di Laurea Magistrale di Federico Galli, A.A. 2020-2021 (*svolta in collaborazione con ABB-EVI*)
* “Strategies for Automatic Validation of Infotainment for Electrical Vehicles”, tesi di Laurea Magistrale di Jaber Nikpouri, A.A. 2020-2021 (*svolta in collaborazione con Maserati*)
* “Strategies for Reliable Validation of Sensors for Road Sign Recognition in Autonomous Vehicles”, tesi di Laurea Magistrale di Filippo Martini, A.A. 2020-2021 (*svolta in collaborazione con Toyota*)
* “Strategie di Computer Vision e Deep Learning per il Monitoraggio dell'Usura di Macchinari Industriali”, tesi di Laurea Magistrale di Andrea Fabrizi, A.A. 2020-2021 (*svolta in collaborazione con Kiwitron*)
* “Rischi per l’Affidabilità e la Safety in presenza di Errori Soft su Reti Neurali Convoluzionali di Sistemi Autonomi”, tesi di Laurea Magistrale di Cristian Balzi, A.A. 2020-2021
* “Analysis of connectivity solutions for smarter motorcycles with improved rider safety and experience”, tesi di Laurea Magistrale di Daniele Battistini, A.A. 2020-2021 (*svolta in collaborazione con Ducati*)
* “Design and Implementation of a Battery Powered Wireless Communication System”, tesi di Laurea Magistrale di Awet Gebremicheal, A.A. 2019-2020 (*svolta in collaborazione con Datalogic*)
* “Novel Machine-Learning Based IC Testing Strategy”, tesi di Laurea Magistrale di Fabrizio Finelli, A.A. 2020-2021 (*svolta in collaborazione con NXP Semiconductors*)
* “Analisi dell'Elettromigrazione in Circuiti Avanzati e Possibili Strategie per Prevederne la Comparsa”, tesi di Laurea Magistrale di Matteo Naldi, A.A. 2020-2021 (*svolta in collaborazione con ELES Semiconductor Equipment*)
* Tesi di Areeba Afaq sull’analisi dei rischi per l’Affidabilità e la Safety in presenza di Errori Soft su Reti Neurali Convoluzionali di Sistemi Autonomi. Esame di Laurea previsto per dicembre 2022
* Tesi di Yashwanthi Venigalla sull’analisi degli effetti combinati di guasti ed aging su circuiti digitali implementati tramite tecnologia FinFET. Esame di Laurea previsto per dicembre 2022
* Tesi di Marco Fiorini sulla modellistica degli effetti di degrado in nuovi dispositivi di tipo High Electron Mobility Transistors (HEMT) realizzati con AlScN (Alluminio-Scandio-Nitruro) sul funzionamento di circuiti tipicamente utilizzati in elettronic di potenza. (*svolta nell’ambito del Progetto Europeo ECSEL, dal titolo GaN for Advanced Power Applications –GaN4AP*). Esame di Laurea previsto per febbraio 2023

**3. Servizi Accademici**

* **Tutor** per **“Attività Informativa, di Accoglienza e Orientamento”**, presso la Scuola di Ingegneria dell’Università degli Studi di Bologna, Corso di Laurea Magistrale in Ingegneria Elettronica (sede di Bologna), **A.A. 2016/2017, 2017/2018, 2018/2019, 2019/2020, 2020/2021, 2021/2022**
* **Membro (che ha coadiuvato il lavoro per la stesura del Rapporto di Riesame)** della **Commissione di Gestione Assicurazione Qualità (AQ)** della Laurea Magistrale in Ingegneria Elettronica dell’Università degli Studi di Bologna, **A.A. 2019-2020, 2020-2021, 2021-2022**
* **Membro** della **Commissione di Laurea Magistrale** in Ingegneria Elettronica dell’Università di Bologna, **Prima Sessione** di Laurea, **A.A. 2020-2021**
* **Membro** della **Commissione di Laurea Magistrale** in Ingegneria Elettronica dell’Università di Bologna, **Seconda Sessione** di Laurea, **A.A. 2019-2020**
* **Membro** della **Commissione di Laurea Magistrale** in Advanced Automotive Electronic Engineering (A2E2) dell’Università degli Studi di Bologna, **Seconda Sessione** di Laurea, **A.A. 2019-2020**
* **Membro** della **Commissione di Laurea Magistrale** in Ingegneria Elettronica dell’Università di Bologna, **Prima Sessione** di Laurea, **A.A. 2015-2016**
* **Membro Esperto Aggregato (in Elettronica) della II Commissione esaminatrice per gli Esami di Stato** per l’abilitazione all’esercizio della professione di Ingegnere, sede di Bologna, **2007** (I e II sessione)
* **Membro Esperto Aggregato (in Elettronica) della Commissione esaminatrice per gli Esami di Stato** per l’abilitazione all’esercizio della professione di Ingegnere, sede di Bologna, **2015** (I sessione)
* **Membro Esperto Aggregato (in Elettronica) della Commissione esaminatrice per gli Esami di Stato** per l’abilitazione all’esercizio della professione di Ingegnere, sede di Bologna, **2017** (I e II sessione)
* **Membro Esperto Aggregato (in Elettronica) della Commissione esaminatrice per gli Esami di Stato** per l’abilitazione all’esercizio della professione di Ingegnere, sede di Bologna, **2018** (I e II sessione)
* **Assistenza allo svolgimento** del **Test di Ammissione** ai corsi di Laurea della Facoltà di Ingegneria, **A.A. 2005-2006, 2012-2013**

**4. Premi e Riconoscimenti per Attività di Ricerca**

* **Selezione per l’Innovation@Intel** website (*“Fishing for Faults in the Field”,* 21 Maggio 2010), dell’articolo **“**Low Cost and Low Intrusive Approach to Test On-Line the Scheduler of High Performance Microprocessors**”,** D. Rossi, **M. Omaña**, G. Berghella, C. Metra, A. Jas, T. Chandra, R. Galivanche

https://www.intel.com/pressroom/innovation/innovation.htm?iid=pr1\_ln\_innovation

* **Best PaperAward**del ***24th IEEE Defect and Fault Tolerance Symposium in VLSI Systems 2009* (Chicago, Illinois, 7-9 Ottobre 2009),** con l’articolo dal titolo: “Novel High Speed Robust Latch”, **M. Omaña,** D. Rossi, C. Metra
* **Revisore** presso il **Natural Sciences and Engineering Research Council of Canada (NSERC)** – Canada, 2020. Titolo del progetto valutato: “Reliability-Aware Design of Systems on Chip (SoCs)”; durata del progetto: 3 anni; costo del progetto: 500k dollari canadesi
* **Certificate of Appreciation** dell’**IEEE Computer Society**, Dicembre 2020
* **Certificate of Appreciation** dell’**IEEE Computer Society**, Novembre 2016

# Responsabilità Editoriali presso Riviste Internazionali

* Membro dell’**Editorial Board** della rivista internazionale **Telecom** della MDPI (ISSN 2673-4001), 2020-presente
* Membro dell’**Editorial Board** della rivista internazionale **IEEE Transactions on Emerging Topics in Computing** dell’IEEE Computer Society (ISSN: 2168-6750), 2018 - presente
* Membro dell’**Editorial Board** della rivista internazionale (open access) **Journal of VLSI Desing**, Hindawi (ISSN: 1065-514X), 2018
* Membro dell’**Advisory Board** della rivista internazionale **Computing Now** dell’IEEE Computer Society, 2016 – 2018
* **Guest Editor** del Monthly Theme di Gennaio 2017 della rivista internazionale **Computing Now** dell’IEEE Computer Society, dal titolo *“Maximizing Solar Power: Not only a Matter of Cell Efficiency”*, 2017
* **Guest Co-Editor** (insieme al Dr. Marco Grossi, Università di Bologna) dello **Special Issue** su *“Sensors and Embedded Systems in Agriculture and Food Analysis”* del **Journal of Sensors,** Hindawi, 2018
* **Guest Co-Editor** (insieme al Dr. Marco Grossi, Università di Bologna) dello **Special Issue** su *“Applications of Electrical Impedance Spectroscopy (EIS) in the Development of Sensors and Sensing Systems”* della Rivista **Sensors,** MDPI, 2019
* Responsabile della **versione audio in spagnolo** dei **Monthly Theme** della rivista internazionale **Computing Now** dell’IEEE Computer Society, 2016 - 2017

# Responsabilità presso Conferenze Internazionali IEEE

* Membro del **Technical Program Committee** del **PhD Forum Track** della conferenza internazionale *IEEE/ACM Design, Automation and Test in Europe 2023* (DATE 2023), Anversa (Belgio), 17-19 Aprile, 2023.
* Membro del **Technical Program Committee** della conferenza internazionale *31st IEEE FRUCT Conference*, Helsinki (Finland), April 27-29, 2022.
* Membro del **Technical Program Committee** della conferenza internazionale *35th IEEE Symposium on Microelectronics Technology and Devices (SBMicro 2021)*, ONLINE event, August 23 – 27, 2021.
* Membro del **Technical Program Committee** della conferenza internazionale *29th IEEE FRUCT Conference*, Tampere (Finland), May 12-14, 2021.
* Membro del **Technical Program Committee** del **PhD Forum Track** della conferenza internazionale *IEEE/ACM Design, Automation and Test in Europe 2021* (DATE 2021), Grenoble (Francia), 1-5 Febbraio, 2021
* Membro del **Jury for the Best Presentation Award** del **PhD Forum Track** della conferenza internazionale *IEEE/ACM Design, Automation and Test in Europe 2021* (DATE 2021), Grenoble (Francia), 1 Febbraio, 2021
* Membro del **Technical Program Committee** della conferenza internazionale *IEEE European Test Symposium 2020* (ETS 2020), Tallinn (Estonia), 25–29 Maggio, 2020
* Membro del **Technical Program Committee** del **PhD Forum Track** della conferenza internazionale *IEEE/ACM Design, Automation and Test in Europe 2020* (DATE 2020), Grenoble (Francia), 9-13 Marzo, 2020
* Membro del **Technical Program Committee** della conferenza internazionale *IEEE European Test Symposium 2019* (ETS 2019), Baden Baden (Germany), 27–31 Maggio, 2019
* Membro del **Technical Program Committee** del **PhD Forum Track** della conferenza internazionale *IEEE/ACM Design, Automation and Test in Europe 2019* (DATE 2019), Firenze (Italia), 25-29 Marzo, 2019
* Membro del **Technical Program Committee** della conferenza internazionale *IEEE European Test Symposium 2018* (ETS 2018), Bremen (Germany), 28 Maggio – 1 Giugno, 2018
* Membro del **Technical Program Committee** del **PhD Forum Track** della conferenza internazionale *IEEE/ACM Design, Automation and Test in Europe 2018* (DATE 2018), Dresden (Germany), 19-23 Marzo, 2018
* Membro del **Technical Program Committee** della conferenza internazionale *IEEE European Test Symposium 2017* (ETS 2017), Limassol (Cyprus), 22-26 Maggio, 2017
* Membro del **Technical Program Committee** del **PhD Forum Track** della conferenza internazionale *IEEE/ACM Design, Automation and Test in Europe 2017* (DATE 2017), Lausanne (Switzerland), 27-31 Marzo, 2017
* Membro del **Publicity** **Committee**della conferenza internazionale *30th IEEE VLSI Test Symposium* (VTS 2012)*,* Hawaii (USA), 22-26 Aprile, 2012
* Membro del **Publicity** **Committee**della conferenza internazionale *29th IEEE VLSI Test Symposium* (VTS 2011)*,* Dana Point (CA, USA), 1-5 Maggio, 2011
* **Local Chair** della conferenza internazionale*12th IEEE International On-Line Testing Symposium* (IOLTS 2006), Como (Italia), 10 - 12 Luglio, 2006
* **Local Organizing Committee Chair del** “2019 *IEEE Technical Meeting on Reliable, Safe, Secure, and Time-Deterministic Intelligent Systems*”, Bologna (Italia), 6 Dicembre, 2019
* **Local Organizing Committee Chair del** “*1st IEEE Computer Society Global Chapter Summit*”, Bologna (Italia), 7 Dicembre, 2019
* **Organizing Committee Chair del** “2020 *IEEE Technical Meeting on Reliable, Safe, Secure, and Time-Deterministic Intelligent Systems*”, online, 30 Settembre - 1 Ottobre, 2020
* **Membro del *PhD* *Board of Examiners*** dell’***Anna University***, Chennai, India, per la Tesi di PhD“Certain investigations on Voltage level Shifters for low power System on Chip Applications”, R. Selvakuma, 2020
* **Membro del *PhD* *Board of Examiners*** dell’***Anna University***, Chennai, India, per la Tesi di PhD“Certain Investigation on different logic styles used in Hybrid Full adder for arithmetic applications”, R. Thiruvengadam, 2022
* **Reviewer per le seguenti riviste internazionali:**
* *"IEEE Transactions on Computers"* (2005, 2008, 2009, 2010, 2011, 2014, 2015, 2018, 2020)
* *"IEEE Transactions on Computer-Aided Design of Integrated Circuits"* (2005, 2006, 2007, 2010, 2017, 2019)
* *"IEEE Transactions on Very Large Scale Integration (VLSI) Systems”* (2009, 2013, 2014, 2015, 2016, 2018, 2019, 2020)
* *"IEEE Transactions on Nanotechnology”* (2012, 2021)
* *"****Journal of Electronic Testing: Theory and Applications (JETTA)”* (2003, 2004, 2010, 2012, 2013, 2014, 2015, 2016, 2017, 2018, 2022)**
* **“*IEEE Design & Test of Computers*” (2005, 2010)**
* **“*IEEE Transactions on Nuclear Science*” (2013)**
* **“*IEEE Access*” (2019, 2020, 2022)**
* **“*IEEE Micro*” (2014)**
* **“*Design Automation for Embedded Systems”,* Springer (2015, 2016, 2018, 2019)**
* ***“IEEE Transactions on Device and Materials Reliability”* (2013)**
* ***“IET Circuits, Devices & Systems”* (2012)**
* “*Integration,* the *VLSI* J*ournal*” (2009, 2010)
* “*IEEE Transactions on Sustainable Computing*” (2018)
* “*ACM Transactions on Design Automation of Electronic Systems*” (2013, 2014)
* “*Journal of Microelectronic Reliability”,* Elsevier (2012, 2014, 2015, 2016, 2017, 2018, 2019, 2020, 2021, 2022)
* *“IEEE Transactions on Emerging Topics in Computing”* (2015, 2016, 2018, 2019, 2020, 2021, 2022)
* **Reviewer** **per le seguenti conferenze internazionali IEEE:**
* *"IEEE International On-Line Testing Symposium"* (2004, 2005, 2008, 2009, 2010, 2011, 2012, 2014, 2015, 2016, 2017, 2018)
* *“IEEE Symposium on Defect and Fault Tolerance in VLSI Systems”* (2005, 2007, 2008, 2009, 2010, 2011, 2012, 2013, 2014, 2015, 2016, 2017, 2018, 2020)
* *“IEEE Asian Test Symposium (ATS)”* (2011, 2012, 2013, 2014, 2016, 2018)
* *“IEEE World Forum on Internet of Things”* (2015, 2016)
* *"IEEE Design, Automation and Test in Europe – Conference and Exhibition (DATE)"* (2005, 2006, 2007, 2008, 2009, 2010, 2011, 2012, 2013, 2017, 2018, 2019, 2020)
* *"International Test Conference"* (2003, 2004, 2005, 2006, 2007, 2008, 2009, 2010, 2011, 2012, 2013)
* *"IEEE VLSI Test Symposium"* (2005, 2007, 2008, 2009, 2010, 2011, 2012, 2013, 2018)
* *“IEEE International Conference on Computer-Aided Design (ICCAD)”* (2011)
* “*IEEE International Conference on Field Programmable Logic and Applications (FPL)*” (2011)
* “*IEEE Latin-American Test Symposium (LATS)*” (2016, 2018)
* “*IEEE European Test Symposium (ETS)*” (2011, 2012, 2013, 2016, 2017, 2018, 2019, 2020)
* “*IEEE/ACM International Conference on Computer-Aided Design*” (2011)
* “*IEEE International Mixed-Signals, Sensors and Systems Test Workshop*” (2008)

**5. Realizzazione di Attività Progettuali**

* 2020-2021: **Co-Investigator del progetto** “*Check the Checker Approaches for High Performance Microprocessors of Autonomous Systems*” finanziato (tramite *Research Grant*) da **Intel Corporation,** come indicato anche alla Sezione 8
* 2018-2019: **Co-Investigator del progetto** *“Power Faults On-Line Detection and Reaction in Complex SoCs”* finanziato (tramite *Research Grant*) da **Intel Corporation**, come indicato anche alla Sezione 8
* Dicembre 2000 – Giugno 2001: **Attività professionale** (studio, ricerca, e progetto) nell'ambito di *inverters* per gruppi di continuità (UPS) di bassa e media potenza, in qualità di **dipendente della ditta Powerware Argentina S.A.** (sede di Buenos Aires)
* Come dettagliato alla Sezione 8, gran parte della attività di ricerca condotta ha richiesto la realizzazione anche di attività progettuali, che quindi si aggiungono a quelle sopra indicate.

**6. Relatore a Congressi Internazionali**

* **Relatore a Conferenze Internazionali IEEE (con revisione tra pari)**
* Partecipazione come relatore al convegno internazionale "9th IEEE International On-Line Testing Symposium", Kos (Grecia), 2003, e presentazione dell'articolo: "A Model for Transient Fault Propagation in Combinatorial Logic", di M. Omaña, G. Papasso, D. Rossi, C. Metra
* Partecipazione come relatore al convegno internazionale "IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems", Boston (MA), 2003, e presentazione dell'articolo: "Automatic Modification of Sequential Circuits for Self-Checking Implementation", di C. Metra, S. Di Francescantonio, M. Omaña
* Partecipazione come relatore al convegno internazionale "10th IEEE International On-Line Testing Symposium", Madeira (Portogallo), 2004, e presentazione dell'articolo: "Low-Area and Fast On-Chip Circuit for Jitter Measurement in Phase-Locked Loop", di J. M. Cazeaux, M. Omaña, C. Metra
* Partecipazione come relatore al convegno internazionale "10th IEEE International On-Line Testing Symposium", Madeira (Portogallo), 2004, e presentazione dell'articolo: "Hardware Reconfiguration Scheme for High Availability Systems", di C. Metra, A. Ferrari, M. Omaña, A. Pagni
* Partecipazione come relatore al convegno internazionale "11th IEEE International On-Line Testing Symposium", Saint Raphael (Francia), 2005, e presentazione dell'articolo: "On the Selection of Unidirectional Error Detecting Codes for Self-Checking Circuits' Area Overhead and Performance Optimization", di M. Omaña, O. Losco, C. Metra, A. Pagni
* Partecipazione come relatore al convegno internazionale "12th IEEE International On-Line Testing Symposium", Como (Italia), 2006, e presentazione dell'articolo: "Path (Min) Delay Faults and Their Impact on Self-Checking Circuits’ Operation", di C. Metra, M. Omaña, D. Rossi, J. M. Cazeaux, TM Mak
* Partecipazione come relatore al convegno internazionale "28th IEEE International On-Line Testing Symposium", Torino (Italia), 2022, e presentazione online dell'articolo: "Novel BTI Robust Ring-Oscillator-Based Physically Unclonable Function ", di M. Grossi, M. Omaña, D. Rossi, C. Metra
* Partecipazione come relatore al convegno internazionale "IEEE International Latin American Symposium", convegno virtuale, 2022, e presentazione online dell'articolo: " Impact of Soft Errors on High Performance Autoencoders for Cyberattack Detection", di M. Omaña, F. Finelli, C. Metra
* **Co-autore dei seguenti poster invitati all’Intel Academic Forum**
* C. Metra, D. Rossi, **M. Omaña**, M. Cazeaux, “Testing, On-Line Testing and Correction Strategies for Clock Faults”, *Intel Academic Forum*, Danzica (Polonia), 18-20 Maggio, 2005
* C. Metra, D. Rossi, **M. Omaña**, M. Cazeaux, “Optimal Error Correcting Codes for Caches”, *Intel Academic Forum*, Danzica (Polonia), 18-20 Maggio, 2005
* C. Metra, **M. Omaña**, D. Rossi, M. Cazeaux, “Characterization and Tolerance of Soft Errors”, *Intel Academic Forum*, Danzica (Polonia), 18-20 Maggio, 2005
* C. Metra, M. Cazeaux, D. Rossi, **M. Omaña**, “Electrical Modeling and Defect Tolerance for Carbon Nanotube Interconnects”, *Intel Academic Forum*, Danzica (Polonia), 18-20 Maggio, 2005
* C. Metra, D. Rossi, **M. Omaña**, M. Cazeaux, “Fault Tolerant Solutions for Cache Faults”, *Intel Academic Forum*, Dublino (Irlanda), 30 Maggio – 1 Giugno , 2006
* C. Metra, D. Rossi, **M. Omaña**, M. Cazeaux, “New Architecture for Carbon Nanotube Interconnects”, *Intel Academic Forum*, Dublino (Irlanda), 30 Maggio – 1 Giugno , 20066
* C. Metra, D. Rossi, **M. Omaña**, M. Cazeaux, “Design for Testability Solutions for Clock Faults of High Performance Microprocessors”, *Intel Academic Forum*, Dublino (Irlanda), 30 Maggio – 1 Giugno , 2006
* C. Metra, **M. Omaña**, D. Rossi, M. Cazeaux, “Soft Errors Analysis and Hardening Techniques”, *Intel Academic Forum*, Dublino (Irlanda), 30 Maggio – 1 Giugno , 2006
* C. Metra, D. Rossi, **M. Omaña**, “Low-Cost Control Logic Oriented   
  Concurrent Error Detection Schemes for RAS, Debug, Silicon Validation and Test”, *Intel Academic Forum*, Budapest (Ungheria), 12-14 Giugno, 2007
* C. Metra, **M. Omaña**, D. Rossi, “Debug, Testing, Diagnosis and Compensation of Clock Faults of High Performance Microprocessors”, *Intel Academic Forum*, Budapest (Ungheria), 12-14 Giugno, 2007
* C. Metra, D. Rossi, **M. Omaña**, “Error Control Techniques for Reliable Network on Chip”, *Intel Academic Forum*, Budapest (Ungheria), 12-14 Giugno, 2007
* C. Metra, **M. Omaña**, D. Rossi, “Transient Faults’ Modeling and Latch Robust Design”, *Intel Academic Forum*, Budapest (Ungheria), 12-14 Giugno, 2007

**7. Partecipazione a Gruppi di Ricerca**

A partire dal 2002, Martin Omaña ha partecipato al gruppo di ricerca coordinato dalla Prof.ssa Cecilia Metra, di cui è tuttora parte e referente assieme alla Prof.ssa Metra (come testimoniato dal ruolo di co-investigator in progetti finanziati). Durante tutti questi anni, il candidato ha partecipato attivamente allo svolgimento dell’attività ricerca di tale gruppo nell’ambito di progetti finanziati da industrie internazionali ed enti nazionali (quali Intel Corporation, STMicroelectronics, Alstom Transport, il Ministero dell’Istruzione, dell’Università e della Ricerca (MIUR), il Ministero dello Sviluppo Economico (MISE), e l’Agenzia Spaziale Italiana (ASI)), così come nell’ambito di collaborazioni scientifiche con Università, industrie, ed istituzioni italiane e straniere (quali la Simon Fraser University (Canada), la Georgia Tech University (Georgia, US), la Northeastern University, (Boston, USA), la Stuttgart University (Germania), la Twente University (Olanda), la Athens University (Grecia), l’Università di Padova, l’Università di Pisa, il Politecnico di Torino, il Politecnico di Milano, l’Università di Roma Tor Vergata, l’IMEC (Belgio), Electrolux, Maserati, ABB, Toyota, Kiwitron, Intel Labs (Germania), Datalogic, Ducati, NXP Semiconductors, ELES Semiconductor Equipment), come dettagliato nel seguito di questa sezione.

Il candidato è stato anche indicato da Intel Corporation come *co-responsabile* (*co-Investigator*) di due progetti di ricerca finanziati da *Intel Corporation,* per il 2018-2019 e per il 2020-2021, rispettivamente, come descritto alla Sezione 5.

Più nello specifico, l’attività di ricerca di Martin Omaña si colloca all’interno dei seguenti filoni di ricerca:

-        **Modellistica degli effetti di guasti e di fenomeni di invecchiamento, algoritmi per il collaudo/affidabilità e strategie per il progetto ad alta affidabilità** di sistemi per l’acquisizione ed elaborazione di segnali e dati provenienti da sensori, quali:

A.    Microprocessori per sistemi intelligenti ed autonomi

B.     Sistemi di *energy harvesting* per sensori biomedicali portabili

C.     Memorie ad alta capacità per *big data* provenienti da sensori di applicazioni di Internet of Things (IoT)

-         **Modellistica, algoritmi e strategie per il progetto** di sistemi intelligenti per l’acquisizione ed elaborazione di segnali e dati provenienti da sensori, quali:

D.    Sistemi di*smart lighting* basati su sensori a infrarossi a termopila

E.     Sistemi di*smart lighting* basati su protocollo Bluetooth Low Power

-        **Modellistica, algoritmi e strategie per il progetto** di sistemi ad elevata sicurezza per l’acquisizione ed elaborazione di segnali e dati provenienti da sensori, quali:

F.      Sistemi di sensori *wireless*

-         **Modellistica e strategie per il progetto** di sistemi per l’acquisizione di segnali provenienti da sensori, quali:

G.    sistemi di *green energy* che utilizzino celle fotovoltaiche

Inoltre, sempre nell’ambito della partecipazione al Gruppo di Ricerca coordinato dalla Prof.ssa Cecilia Metra, il candidato ha supervisionato l’attività di ricerca (e contribuito allo sviluppo di soluzioni innovative) di 4 studenti di PhD (studenti di PhD presso l’Università di Bologna, e Visiting PhD students presso l’Università di Bologna), nonché 42 tesi di laurea (Laurea Specialistica vecchio ordinamento e Laurea Magistrale in Ingegneria Elettronica) di studenti dell’Università di Bologna, come dettagliato precedentemente in Sezione 2.

**8. Attività di Formazione o di Ricerca presso Qualificati Istituti Italiani o Stranieri**

**8.1 Attività di Ricerca Finanziata da Industrie Internazionali ed Enti Nazionali**

* ***Co-Investigator*** del progetto (di durata annuale) “*Check the Checker Approaches for High Performance Microprocessors of Autonomous Systems*” finanziato (tramite *Research Grant*) da ***Intel Corporation***, 2020 – 2021.
* ***Co-Investigator*** del progetto (di durata annuale) “*Power Faults On-Line Detection and Reaction in Complex SoCs*” finanziato (tramite *Research Grant*) da ***Intel Corporation***, 2018 – 2019.
* Partecipazione al progetto (di durata biennale) “*Nuovo Apparecchio e Sistema di Illuminazione Industriale a Elevatissimo Risparmio Energetico – LUMINARE”* finanziato dal ***Ministero dello Sviluppo Economico – MISE*** (Fondo Innovazione Tecnologica), in collaborazione con la ditta ***Becar-Beghelli (Bologna),*** dicembre 2017 – dicembre 2019.
* Partecipazione al progetto (di durata annuale, e rinnovato 3 volte) *“Techniques to Control Power Droop/Activity Factor During Logic BIST”* finanziato (tramite *Contratto di Ricerca*) da ***Intel Corporation (Santa Clara, CA),*** novembre 2011 – novembre 2015.
* Partecipazione al ***Progetto PRIN*** (di durata biennale) dal titolo “*Sistemi digitali ad alta affidabilità e tolleranti ai guasti in tecnologie nanometriche: caratterizzazione e metodologie progettuali*” in collaborazione con l’***Università di Roma Tor Vergata***, il ***Politecnico di Torino***, il ***Politecnico di Milano***, e l’***Università di Padova***, 2009-2011.
* Partecipazione al progetto (di durata biennale) *“Studio di un protocollo di protezione delle informazioni trasmesse su rete radio proprietaria”* finanziato dal ***Ministero dello Sviluppo Economico – MISE (Fondo Innovazione Tecnologica)***, in collaborazione con la ditta ***Becar-Beghelli (Bologna)***, novembre 2008 – ottobre 2010.
* Partecipazione al progetto (di durata annuale, e rinnovato 1 volta) *“Low Cost Control Logic Concurrent Error Detection Schemes for RAS, Debug and Test”* finanziato (tramite *Research Contract*) da ***Intel Corporation (Santa Clara, CA),*** maggio 2007 - aprile 2009.
* Partecipazione al progetto (di durata annuale, e rinnovato 1 volta) “*Clock Fault Testing and DFT”* finanziato (tramite *Research Grant*) da ***Intel Corporation (Santa Clara, CA),*** maggio2006 - aprile 2008.
* Partecipazione al ***Progetto PRIN*** (di durata biennale) dal titolo *“Tecniche per la progettazione di circuiti e sistemi elettronici digitali innovativi ad alta disponibilità e affidabilità”* in collaborazione con *l’****Università di Roma Tor Vergata*** e**il *Politecnico di Torino,*** 2004-2006.
* Partecipazione al progetto (di durata annuale) *“DFT for Detection of Clock Distribution Faults”* finanziato (tramite *Research Grant*) da ***Intel Corporation (Santa Clara, CA),*** gennaio 2004 - dicembre 2005.
* Partecipazione al progetto(di durata beinnale) *“Design and Testing Paradigms for Reliable Multiprocessor Systems”* finanziato (tramite *Contratto di Ricerca*) da ***STMicroelectronics (Agrate, Italia),*** 2004 – 2006.
* Partecipazione al progetto(di durata annuale) *“Design and Communication Paradigms for Reliable Automata Systems”* finanziato (tramite *Contratto di Ricerca*) da ***STMicroelectronics (Agrate, Italia),*** 2003.
* Partecipazione al progetto (di durata annuale) *“Sistema di Verifica Funzionale per Apparati di Controllo Elettronico di Stazioni Ferroviari”* finanziato (tramite *Contratto di Ricerca*) da ***Alstom Transport*** (Bologna),2002-2003
* Partecipazione al progetto (di durata annuale) “*Definizione e sviluppo di tecniche di identificazione e tolleranza di guasti per la progettazione di sistemi di calcolo basati su componenti logici programmabili”* finanziato dall’***Agenzia Spaziale Italiana*** (ASI), 2005-2006.
* Partecipazione al progetto ECSEL (di durata triennale) “*GaN for Advanced Power Applications”* finanziato dall’***Comunità Europea***, 2021-2024.

**8.2 Attività di Ricerca nell’Ambito di Collaborazioni Scientifiche con Università, Industrie, ed Istituzioni Italiane e Straniere**

* Partecipazione a ricerche su *“Sistemi ad Alta Affidabilità per Elettronica di Bordo di Satelliti”* in collaborazione con *l’****Istituto di Astrofisica Spaziale e Fisica Cosmica (IASF),*** 2002-2006.
* Partecipazione a ricerche su “On-Line Testing Approaches for High Performance Microprocessors” in collaborazione con l’***Università di Atene***, 2007-2008
* Partecipazione a ricerche su “*Soft Error Modeling and Hardening Approaches”* in collaborazione con la ***Georgia Tech University,*** Atlanta (Georgia, USA), 2005-2008.
* Partecipazione a ricerche su “*Sistemi Self-Checking per Automotive”* in collaborazione con la ***Stuttgart University,*** 2011.
* Partecipazione a ricerche su “*Reliable Energy Harvesting Approaches”* in collaborazione con la ***Simon Fraser University*** (Vancouver, Canada), 2008-2013.
* Partecipazione a ricerche su “*Reliable Fotovoltaic Systems”* in collaborazione con la ***Northeastern University,*** (Boston, USA), 2010-2012.
* Partecipazione a ricerche su “*Impact of BTI Aging Mechanisms on the Soft Error Susceptibility of Integrated Circuits”* in collaborazione con la ***Università di Padova,*** 2011-2014.
* Partecipazione a ricerche su “Impact of Fault Attacks on Post-Quantum Cryptographic Systems” in collaborazione con la***Stuttgart University*** *(Germania)* 2018-2019
* Supervisione di ricerche su “Valutazione dell’Affidabilità di Dispositivi di Potenza in Piani di Cottura ad Induzione” in collaborazione con la ditta***Electrolux***, 2019
* Partecipazione a ricerche su “Strategie di Autenticazione Affidabili per Sistemi ad Elevata Sicurezza”, in collaborazione con *l’****Università di Pisa***, dal 2019
* Supervisione di ricerche su “Strategies for Automatic Validation of Infotainment for Electrical Vehicles”in collaborazione con la ditta***Maserati****,* dal 2020
* Supervisione di ricerche su “Design of an Innovative Electric Vehicle Simulator for Charging Systems' End-of-Line Testing”in collaborazione con la ditta***ABB-EVI****,* dal 2020
* Supervisione di ricerche su “Strategies for Reliable Validation of Sensors for Road Sign Recognition in Autonomous Vehicles”in collaborazione con la ditta***Toyota****,* dal 2020
* Supervisione di ricerche su “Strategie di Computer Vision e Deep Learning per il Monitoraggio dell'Usura di Macchinari Industriali”in collaborazione con la ditta***Kiwitron****,* dal 2020
* Supervisione di ricerche su “Development of Innovative Algorithms and Tools to Test Advanced Technology Cell Libraries”in collaborazione con il centro di ricerca***IMEC*** *(Belgio),* 2020
* Supervisione di ricerche su “Fault Mitigation Approaches for Deep Neural Networks for Computer Vision in Autonomous Driving”in collaborazione con ***Intel Labs*** *(Germania),* 2019-2020
* Supervisione di ricerche su “Evaluation of Network on Chip Infraestructures for Dependability Management in Multicore Processors” in collaborazione con l’***University of Twente***, 2018-2019
* Supervisione di ricerche su “Analysis of connectivity solutions for smarter motorcycles with improved rider safety and experience” in collaborazione con l’***Ducati***, 2020-2021
* Supervisione di ricerche su “Design and Implementation of a Battery Powered Wireless Communication System” in collaborazione con ***Datalogic***, 2021-2022
* Supervisione di ricerche su “Analisi dell'Elettromigrazione in Circuiti Avanzati e Possibili Strategie per Prevederne la Comparsa” in collaborazione con ***ELES Semiconductor Equipment***, 2021-2022

**8.3 Borse di Studio/Assegni di Ricerca/Contratti**

* Luglio – Dicembre 2001: Vincita e fruizione di **borsa di studio** presso il ***Dipartimento di Elettronica dell’Università di Buenos Aires*** (Argentina) per attività di Ricerca nell’ambito di circuiti elettronici di potenza
* Gennaio 2002 – Dicembre 2004: Vincita e fruizione di **borsa di studio *MADESS* del *Consiglio Nazionale delle Ricerche (CNR)* per il *Dottorato di Ricerca*** in Ingegneria Elettronica Informatica e Sistemistica***,*** presso l’Università degli Studi di Bologna
* Gennaio 2005 – Febbraio 2006: Vincita e fruizione di **borsa di studio** presso il ***Dipartimento di Elettronica, Informatica e Sistemistica (DEIS) dell’Università degli Studi di Bologna*** per ricerche su *“Tecniche per il Progetto di Sistemi ad Alta Affidabilità”*. Borsa di studio finanziata da *STMicroelectronics*
  + Marzo 2006 – Febbraio 2007: Vincita e fruizione di **assegno di ricerca** (di durata annuale), bando n. 1152 del 15/06/2004, presso il ***Dipartimento di Elettronica, Informatica e Sistemistica (DEIS) dell’Università degli Studi di Bologna*** per ricerche su *“Tecniche di Design for Testability per Microprocessori ad Alte Prestazioni”*. Assegno co-finanziato da *Intel Corporation* e *STMicroelectronics*
  + Marzo 2007 – Febbraio 2008: Rinnovo e fruizione di **assegno di ricerca** (di durata annuale), bando n. 1152 del 15/06/2004, presso il ***Dipartimento di Elettronica, Informatica e Sistemistica (DEIS) dell’Università degli Studi di Bologna*** per ricerche su *“Tecniche di Design for Testability per Microprocessori ad Alte Prestazioni”.* Assegno co-finanziato da *Intel Corporation*
  + Marzo 2008 – Febbraio 2009: Rinnovo e fruizione di **assegno di ricerca** (di durata annuale), bando n. 1152 del 15/06/2004, presso il ***Dipartimento di Elettronica, Informatica e Sistemistica (DEIS) dell’Università degli Studi di Bologna*** per ricerche su *“Tecniche di Design for Testability per Microprocessori ad Alte Prestazioni”.* Assegno co-finanziato da *Intel Corporation*
  + Marzo 2009 – Febbraio 2010: Vincita e fruizione di **assegno di ricerca** (di durata annuale), bando n. 705/2008 del 23.05.2008,presso il ***Centro di Ricerca sui Sistemi Elettronici per l'Ingegneria dell'Informazione e delle Telecomunicazioni "Ercole De Castro" (ARCES) dell’Università degli Studi di Bologna*** per ricerche su “*Tecniche di On-Line Testing per la Logica di Controllo di Microprocessori ad Alte Prestazione*”. Assegno co-finanziato da *Intel Corporation*
  + Marzo 2010 – Febbraio 2011: Rinnovo e fruizione di **assegno di ricerca** (di durata annuale), bando n. 705/2008 del 23.05.2008, presso il ***Centro di Ricerca sui Sistemi Elettronici per l'Ingegneria dell'Informazione e delle Telecomunicazioni "Ercole De Castro" (ARCES) dell’Università degli Studi di Bologna*** per ricerche su “*Tecniche di On-Line Testing per la Logica di Controllo di Microprocessori ad Alte Prestazione*”. Assegno co-finanziato da *Intel Corporation*
  + Marzo 2011 – Febbraio 2012: Rinnovo e fruizione di **assegno di ricerca** (di durata annuale), bando n. 705/2008 del 23.05.2008, presso il ***Centro di Ricerca sui Sistemi Elettronici per l'Ingegneria dell'Informazione e delle Telecomunicazioni "Ercole De Castro" (ARCES) dell’Università degli Studi di Bologna*** per ricerche su “*Tecniche di On-Line Testing per la Logica di Controllo di Microprocessori ad Alte Prestazione*”. Assegno co-finanziato da *Intel Corporation*
  + Marzo 2012 – Febbraio 2013: Vincita e fruizione di **assegno di ricerca** (di durata annuale), bando del 02.02.2012,presso il ***Centro di Ricerca sui Sistemi Elettronici per l'Ingegneria dell'Informazione e delle Telecomunicazioni "Ercole De Castro" (ARCES) dell’Università degli Studi di Bologna*** per ricerche su *“Progettazione di Sistemi Fotovoltaici ad Alta Efficienza Energetica”*. Assegno co-finanziato dal *Ministero per lo Sviluppo Economico*
  + Marzo 2013 – Febbraio 2014: Vincita e fruizione di **assegno di ricerca** (di durata annuale), bando del 07.02.2013,presso il ***Centro di Ricerca sui Sistemi Elettronici per l'Ingegneria dell'Informazione e delle Telecomunicazioni "Ercole De Castro" (ARCES) dell’Università degli Studi di Bologna*** per ricerche su *“Tecniche Innovative per un’Elevata Resa di Produzione di Microprocessori ad Alte Prestazioni”*. Assegno co-finanziato da *Intel Corporation*
  + Marzo 2014 – Febbraio 2015: Rinnovo e fruizione di **assegno di ricerca** (di durata annuale)**,** bando del 07.02.2013, presso il ***Centro di Ricerca sui Sistemi Elettronici per l'Ingegneria dell'Informazione e delle Telecomunicazioni "Ercole De Castro" (ARCES) dell’Università degli Studi di Bologna*** per ricerche su *“Tecniche Innovative per un’Elevata Resa di Produzione di Microprocessori ad Alte Prestazioni”*. Assegno co-finanziato da *Intel Corporation*
  + Marzo 2015 – Febbraio 2016: Vincita e fruizione di **assegno di ricerca** (di durata annuale), bando del 22.01.2015,presso il ***Centro di Ricerca sui Sistemi Elettronici per l'Ingegneria dell'Informazione e delle Telecomunicazioni "Ercole De Castro" (ARCES) dell’Università degli Studi di Bologna*** per ricerche su *“Tecniche per la Caratterizzazione del Consumo di Potenza di Microprocessori ad Alte Prestazioni”*. Assegno co-finanziato da *Intel Corporation*
  + Marzo 2016 – Febbraio 2017: Rinnovo e fruizione di **assegno di ricerca** (di durata annuale)**,** bando del 22.01.2015, presso il ***Centro di Ricerca sui Sistemi Elettronici per l'Ingegneria dell'Informazione e delle Telecomunicazioni "Ercole De Castro" (ARCES) dell’Università degli Studi di Bologna*** per ricerche su *“Tecniche per la Caratterizzazione del Consumo di Potenza di Microprocessori ad Alte Prestazioni”*. Assegno co-finanziato da *Intel Corporation*
  + Marzo 2017 – Febbraio 2017: Vincita e fruizione di **assegno di ricerca** (di durata annuale), bando del 08.02.2017,presso il ***Dipartimento di Ingegneria dell’Energia Elettrica e dell’Informazione "Guglielmo Marconi" (DEI) dell’Università degli Studi di Bologna*** per ricerche su *“Celle ed Architetture di Memoria ad Alta Affidabilità”*. Assegno co-finanziato da *Intel Corporation*
  + Marzo 2018 – Febbraio 2019: Vincita e fruizione di **contratto di collaborazione coordinata e continuativa** (di durata annuale)**,** bando del 09.03.2018, presso il ***Dipartimento di Ingegneria dell’Energia Elettrica e dell’Informazione "Guglielmo Marconi" (DEI) dell’Università degli Studi di Bologna*** per ricerche su *“Nuovo Apparecchio e Sistema di Illuminazione Industriale a Elevatissimo Risparmio Energetico”*. Contratto finanziato dal *Ministero per lo Sviluppo Economico*
  + Marzo 2019 – Settembre 2020: Vincita e fruizione di **contratto di collaborazione coordinata e continuativa** (di durata 18 mesi), bando del 12.03.2019, presso il ***Dipartimento di Ingegneria dell’Energia Elettrica e dell’Informazione "Guglielmo Marconi" (DEI) dell’Università degli Studi di Bologna*** per ricerche su *“Progettazione di Sistemi ad Elevata Affidabilità, Safety ed Efficienza Energetica”*. Contratto finanziato da *Intel* e dal *Ministero per lo Sviluppo Economico*
  + Ottobre 2020 – Settembre 2021: Vincita e fruizione di **contratto di lavoro autonomo non occasionale (ex art. 2222 e ss C.C.)** di durata 12 mesi, bando del 16.07.2020, presso il ***Dipartimento di Ingegneria dell’Energia Elettrica e dell’Informazione "Guglielmo Marconi" (DEI) dell’Università degli Studi di Bologna*** per ricerche su *“Strategie per l’Affidabilità e la Safety di Microprocessori ad Alte Prestazioni per Sistemi Autonomi”*. Contratto finanziato da *Intel Corporation*
  + Ottobre 2021 – Settembre 2022: Vincita e fruizione di **contratto di lavoro autonomo non occasionale (ex art. 2222 e ss C.C.)** di durata 12 mesi, bando del 22.09.2021, presso il ***Dipartimento di Ingegneria dell’Energia Elettrica e dell’Informazione "Guglielmo Marconi" (DEI) dell’Università degli Studi di Bologna*** per ricerche su *“Progettazione di Smart Systems ad Elevata Affidabilità, Safety ed Efficienza Energetica”*. Contratto finanziato dal *Ministero per lo Sviluppo Economico*
  + Ottobre 2022 – presente: Vincita e fruizione di **contratto di lavoro autonomo non occasionale (ex art. 2222 e ss C.C.)** di durata 4 mesi, bando del 29.08.2022, presso il ***Dipartimento di Ingegneria dell’Energia Elettrica e dell’Informazione "Guglielmo Marconi" (DEI) dell’Università degli Studi di Bologna*** per ricerche su *“Analisi di Guasti e Fenomeni di Degrado di Circuiti per Sistemi Intelligenti Affidabili e Sicuri”*. Contratto co-finanziato dal Progetto Europeo *GaN for Advanced Power Applications* *GaN4AP*.

**8.4 Supervisore dell’attività di ricerca di studenti di PhD e Laurea Magistrale**

* Ing. Daniele Giaffreda, **studente di PhD** presso ARCES, Università di Bologna (Gennaio 2010 – Agosto 2011). L’attività di ricerca condotta in questo ambito ha originato 3 pubblicazioni su riviste internazionali (con revisione tra pari) e 3 pubblicazioni su *Proceedings* di conferenze internazionali (con revisione tra pari), di cui Martin Omaña è primo autore in 3 e secondo autore in 3, con numero medio di autori pari a 5. Queste pubblicazioni sono quelle numero R12, R16, R18, C31, C33 e C35 nella lista alla Sezione 9
* Ing. Vimalathithan Rathinasabapathy, **studente di PhD** presso la Anna University, Coimbatore (India), e visiting PhD student presso l’Università di Bologna (Settembre 2010 – Luglio 2011). L’attività di ricerca condotta in questo ambito ha originato 2 pubblicazioni su riviste internazionali (con revisione tra pari) e 1 pubblicazione su *Proceedings* di conferenza internazionale (con revisione tra pari), di cui Martin Omaña è terzo, con numero medio di autori pari a 5. Queste pubblicazioni sono quelle numero R15, R23 e C37 nella lista alla Sezione 9
* Ing. Meryem Bouras, **studentessa di PhD** presso la Mohammed V University in Rabat, Rabat (Marocco), ed Erasmus student presso l’Università di Bologna (Settembre 2016 – Giugno 2017). L’attività di ricerca condotta in questo ambito ha originato 1 articolo in corso di revisione (tra pari) presso rivista internazionale, di cui Martin Omaña è terzo autore, con un numero di autori pari a 5. Questa pubblicazione è quella numero R34 nella lista alla Sezione 9
* Ing. Zahra Shirmohammadi, **studentessa di PhD** presso la University of Technology, Tehran (Iran), e Visiting PhD student presso l’Università di Bologna (Settembre 2016 – Dicembre 2016). L’attività di ricerca condotta in questo ambito ha originato 1 pubblicazione su rivista internazionale (con revisione tra pari), di cui Martin Omaña è quarto autore. Questa pubblicazione è quella numero R29 nella lista alla Sezione 9
* Correlatore di 50 **tesi di Laurea Specialistica** (vecchio ordinamento) **e Magistrale** in Ingegneria Elettronica dell’Università di Bologna, come descritto nella Sezione 2.

**9. Pubblicazioni**

La strategia del Gruppo di Ricerca di cui M. Omaña è parte riguardo all’ordine del nome degli autori nelle pubblicazioni è quella di seguire un ordine basato sull’entità del contributo tecnico apportato dagli autori alla pubblicazione.

#### Riviste Internazionali (con revisione tra pari)

R1. **M. Omaña**, D. Rossi, C. Metra, "Model for Transient Fault Susceptibility of Combinational Circuits", *The Journal of Electronic Testing: Theory and Applications (JETTA),* Vol. 20, No. 5, pp. 495-503, October 2004, Kluwer Academic Publishers, Norwell, MA 02061 (USA), 2004.

R2. **M. Omaña**, D. Rossi, C. Metra,"Low Cost and High Speed Embedded Two-Rail Code Checker", *IEEE Transactions on Computers,* Vol. 54, Issue 2, February 2005, pp. 153—164, IEEE Computer Society Press, Los Alamitos (California), 2005.

R3. J. M. Cazeaux, **M. Omaña**,C. Metra, “Novel On-Chip Circuit for Jitter Testing in High-speed PLLs”, *IEEE Transactions on Instrumentations and Measurements,* Vol. 54, Issue 5, October 2005, pp. 1779—1788, The Institute of Electrical and Electronics Engineers Inc., Piscataway, (NJ), 2005.

R4. **M. Omaña**, D. Rossi, C. Metra, “Latch Susceptibility to Transient Faults and New Hardening Approach”, *IEEE Transactions on Computers,* Vol. 56, Issue 9, September2007, pp. 1255-1268, IEEE Computer Society Press, Los Alamitos (California), 2007.

R5. D. Rossi, **M. Omaña**, C. Metra, "Checker No-Harm Alarms and Design Approaches to Tolerate Them", *The Journal of Electronic Testing: Theory and Applications (JETTA),* Vol. 24, Issue 1-3, June2008, pp. 93-103, Springer, Springer Boston/Norwell (USA), 2008, ISSN: 0923-8174.

R6. E. Binda, **M. Omaña**, H. E. Tacca, “Lazo de Control Optoacoplado para Fuente Conmutada”, *Revista Iberoamericana de Automatica e Informatica Industrial (RIAI-Spain)*, Vol. 5, No 1, pp. 37-50, January 2008, Comité Español de Automática (CEA), ISSN 1697-7912.

R7. D. Rossi, J. M. Cazeaux, **M. Omaña**, C. Metra, A. Chatterjee, "Accurate Linear Model for SET Critical Charge Estimation", *IEEE Transactions on Very Large Scale Integrated (VLSI) Systems*, Vol. 17, No. 8, pp. 1161 – 1166, Agosto 2009, The Institute of Electrical and Electronics Engineers Inc., Piscataway, (NJ).

R8. **M. Omaña**, D. Rossi, C. Metra, “High Performance Robust Latches”, *IEEE Transactions on Computers,* Vol. 59, No. 11, pp. 1455 – 1465, November 2010, IEEE Computer Society Press, Los Alamitos (California), 2010.

R9. **M. Omaña,** C. Metra, TM Mak, S. Tam, “Low-Cost Dynamic Compensation Scheme for Local Clocks of Next Generation High Performance Microprocessors”, *IEEE Transactions on Very Large Scale Integrated (VLSI) Systems*, Vol. 19, issue 12, pp. 2322 – 2325, 2011, The Institute of Electrical and Electronics Engineers Inc., Piscataway, (NJ), 2011.

R10. C. Metra, **M. Omaña**, TM Mak, S. Tam, “New Design For Testability Approach for Clock Fault Testing”, *IEEE Transactions on Computers,* Vol. 61, No. 4, pp. 448 – 457, April 2012, IEEE Computer Society Press, Los Alamitos (California), 2012.

R11. **M. Omaña,** D. Rossi, N. Bosio, C. Metra, “Low Cost NBTI Degradation Detection & Masking Approaches”, *IEEE Transactions on Computers,* Vol. 62, Issue 3, March 2013, pp. 496 – 509, IEEE Computer Society Press, Los Alamitos (California), 2013.

R12. **M. Omaña,** D. Rossi, D. Giaffreda, R. Specchia, C. Metra, M. Marzencki, B. Kaminska, “Faults Affecting Energy Harvesting Circuits of Self-Powered Wireless Sensors and Their Possible Concurrent Detection”, *IEEE Transactions on Very Large Scale Integrated (VLSI) Systems,* Vol. 21, Issue 12, December 2013, pp. 2286 – 2294, The Institute of Electrical and Electronics Engineers Inc., Piscataway, (NJ), 2013.

R13. D. Rossi, **M. Omaña,** G. Garrammone, C. Metra, A. Jas, and R. Galivanche, “Low Cost Concurrent Error Detection Strategy for the Control Logic of High Performance Microprocessors and Its Application to the Instruction Decoder”, *The Journal of Electronic Testing: Theory and Applications (JETTA)*. Volume 29, Issue 3, 2013, pp. 401-413, Springer, Springer Boston/Norwell (USA), 2013.

R14. D. Rossi, **M. Omaña**, J. M. Cazeaux, C. Metra, TM. Mak, “Clock Faults Induced Min and Max Delay Violations”, *The Journal of Electronic Testing: Theory and Applications*, Volume 30, Issue 1, 2014, pp. 111-123, Springer, Springer Boston/Norwell (USA), 2014, Springer, Springer Boston/Norwell (USA), 2014.

R15. R. Vimalathithan, D. Rossi, **M. Omaña**, C. Metra, M.L.Valarmathi, “Polynomial Based Key Distribution Scheme for WPAN”, *Malaysian Journal of Mathematical Sciences*, Special Edition of International Conference on Cryptology on Computer Security, Vol. 7(S), pp. 59-72, August 2013, ISSN: 1823-8343

R16. **M. Omaña**, D. Rossi, D. Giaffreda, C. Metra, TM Mak, A. Rahman, S. Tam, “Low-Cost On-Chip Clock Jitter Measurement Scheme”, *IEEE Transactions on Very Large Scale Integrated (VLSI) Systems*, Vol. 23, Issue 3, March 2015, pp. 435 – 443, The Institute of Electrical and Electronics Engineers Inc., Piscataway, (NJ), 2015.

R17. D. Rossi, **M. Omaña**, C. Metra, A. Paccagnella, “Impact of Bias Temperature Instability on Soft Error Susceptibility”, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems,* Vol. 23, Issue 4, April 2015, pp. 743 – 751, The Institute of Electrical and Electronics Engineers Inc., Piscataway, (NJ), 2015.

R18. D. Rossi, **M. Omaña**, D. Giaffreda, C. Metra, “Modeling and Detection of Hot-Spot in Shaded Photovoltaic Cells”, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems,* Vol. 23, Issue 6, 2015, pp. 1031 – 1039, The Institute of Electrical and Electronics Engineers Inc., Piscataway, (NJ), 2015.

R19. **M. Omaña**, D. Rossi, E. Beniamino, C. Metra, C. Tirumurti, R. Galivanche, “Low-Cost and High-Reduction Approaches for Power Droop During Launch-On-Shift Scan-Based Logic BIST”, *IEEE Transactions on Computers*, Vol. 65, Issue 8, pp. 2484-2484, August 2016.

R20. **M. Omaña**, D. Rossi, T. Edara, C. Metra, “Impact of Aging Phenomena on Latches’ Robustness”, *IEEE Transactions on Nanotechnology*, Issue 2, pp. 129-136, March 2016.

R21 **M. Omaña**, D. Rossi, F. Fuzzi, C. Metra, C. Tirumurti, R. Galivanche, “Scalable Approach for Power Droop Reduction During Scan-Based Logic BIST”, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, Vol. 25, No. 1, January 2017, pp. 238 - 246.

R22. **M. Omaña**, T. Edara, C. Metra, “Low-Cost Strategy to Mitigate the Impact of Aging on Latches’ Robustness”, *IEEE Transactions on Emerging Topics in Computing*, Vol. 6, Issue 4, December 2018, pp. 488-497.

R23. R. Vimalathithan, D. Rossi, **M. Omaña**, C. Metra, M.L. Valarmathi, “Cryptanalysis of Simplified-AES Encrypted Communication”, *Int. Journal of Computer Science and Information Security*, Vol. 13, 2015, ISSN: 2309-9410.

R24. **M. Omaña**, M. Padovani, K. Veliu, C. Metra, J. Alt, R. Galivanche, “New Approaches for Power Binning of High Performance Microprocessors”, *IEEE Transactions on Computers*, Vol. 66, Issue 7, 2017, pp. 1159 – 1171.

R25. **M. Omaña**, A. Fiore, M. Mongitore, C. Metra, “Fault Tolerant Inverters for Reliable Photovoltaic Systems”, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, Vol. 27, Issue 1, January 2019, pp. 20-28.

R26. M. Grossi, **M. Omaña**, “Impact of Bias Temperature Instability (BTI) Aging Phenomenon on Clock Deskew Buffers”, Journal of Electronic Testing: Theory and Applications (JETTA), Springer, Vol. 35, Number 2, April 2019.

R27. **M. Omaña**, S. Goviandaraj, C. Metra, “Low-Cost Strategy for Bus Propagation Delay Reduction”, Journal of Electronic Testing: Theory and Applications (JETTA), Springer, Vol. 35, No 2, April 2019.

R28. M. Grossi, A. Berardinelli,E. Sazonov, W. Beccaro, **M. Omaña**, “Sensors and Embedded Systems in Agriculture and Food Analysis”, Journal of Sensors, Hindawi, vol. 2019, Article ID 6808674, January 2019.

R29. Z. Shirmohammadi, A. Nikoofard, A. Khorami, **M. Omaña**, “ST-CAC: A Low-Cost Crosstalk Avoidance Coding Mechanism based on Three-Valued Logic”, *Journal of Supercomputing*, *Springer,* January 2021.

R30. M. Grossi, **M. Omaña**, “Investigation of the Impact of BTI Aging Phenomenon on Analog Amplifiers”, Journal of Electronic Testing: Theory and Applications (JETTA), Springer, 37(4) 2021, pp. 533-544.

R31. **M. Omaña**, S. Bardhan, C. Metra, “Reliability Risks Due to Faults Affecting Selectors of ReRAMs and Possible Solutions”, *to appear on* *IEEE Transactions on Emerging Topics in Computing*, 2021

R32. **M. Omaña**, M. Grossi, C. Metra, “Early Fault Detection in Inverters of Photovoltaic Systems”, *Microelectronic Reliability, Elsevier*, Vol. 135, August 2022

R34. M. Grossi, M. Bouras, **M. Omaña**, C. Metra, H. Berbia, “Low-Cost Strategy to Detect Faults Affecting Scrubbers in SRAM-Based FPGAs”, *Microprocessors and Microsystems, Elsevier,* Vol. 89, 2022

* **Proceedings (con revisione tra pari) di Convegni Internazionali**

C1. **M. Omaña**, D. Rossi, C. Metra, "High Speed and Highly Testable Parallel Two-Rail Code Checker", in *IEEE Proceedings of Design, Automation and Test in Europe (DATE) Conference,* Munich (Germany), pp. 608-613, March 4-7, 2003, IEEE Computer Society Press, Los Alamitos (California), 2003.

C2. **M. Omaña**, G. Papasso, D. Rossi, C. Metra, "A Model for Transient Fault Propagation in Combinatorial Logic", in *IEEE Proceedings 9th IEEE International On-Line Testing Symposium*, Kos (Greece), July 7 - 9, 2003, pp. 111-115, IEEE Computer Society Press, Los Alamitos (California), 2003.

C3. **M. Omaña**, D. Rossi, C. Metra, "Novel Transient Fault Hardened Static Latch”, in *IEEE Proceedings of International Test Conference (ITC),* Baltimore (MD), September 30 - October 2, 2003, pp. 886-892, International Test Conference, 2025 M Street, N.W., Suite 800, Washington D.C., 20036, 2003.

C4. C. Metra, S. Di Francescantonio, **M. Omaña**, “Automatic Modification of Sequential Circuits for Self-Checking Implementation”, in *IEEE Proceedings of The International Symposium on Defect and Fault Tolerance in VLSI Systems,* Boston (MA), November 2003, pp. 417-424, IEEE Computer Society Press, Los Alamitos (California), 2003.

C5. C. Metra, TM Mak, **M. Omaña**, “Are Our Design For Testability Features Fault Secure ?”, in *IEEE Proceedings of Design, Automation and Test in Europe (DATE) Conference,* Paris (France), pp. 714—715, February 16-20, 2004, IEEE Computer Society Press, Los Alamitos (California), 2004.

C6. J. M. Cazeaux, **M. Omaña**,C. Metra, “Low-Area and On-Chip Circuit for Jitter Measurement in Phase-Locked Loop", in *IEEE Proceedings 10th IEEE International On-Line Testing Symposium*, Madeira (Portugal), July 12 - 14, 2004, pp. 17-22, IEEE Computer Society Press, Los Alamitos (California), 2004.

C7. C. Metra, TM Mak, **M. Omaña**, “Fault Secureness Need for Next Generation High Performance Microprocessor Design for Testability Structures”, in *Proceedings of 2004 ACM International Conference on Computing Frontiers*, Ischia (Italy), pp. 444—450, April 14-16, 2004, **ACM ISBN: 1-58113-741-9.**

C8. C. Metra, A. Ferrari, **M. Omaña**, A. Pagni, “Hardware Reconfiguration Scheme for High Availability Systems", in *IEEE Proceedings 10th IEEE International On-Line Testing Symposium*, Madeira (Portugal), July 12 - 14, 2004, pp. 161-166, IEEE Computer Society Press, Los Alamitos (California), 2004.

C9. C. Metra, TM Mak, **M. Omaña**, “Should We Make Our Design for Testability Schemes Fault Secure ?”, in *IEEE Proceedings of The IEEE European Test Symposium*, Aiaccio (Corsica), pp. 67—72, May, 2004.

C10. C. Metra, **M. Omaña**, TM Mak, “Risks Associated with Faults within Test Pattern Compactors and Their Implications on Testing”, in *IEEE Proceedings of International Test Conference (ITC),* Charlotte (NC), pp. 1223 - 1231, October 26- October 28, 2004, International Test Conference, 2025 M Street, N.W., Suite 800, Washington D.C., 20036, 2004.

C11. **M. Omaña**, D. Rossi, C. Metra, "Fast and Low Cost Deskew Buffer", in *IEEE Proceedings of The International Symposium on Defect and Fault Tolerance in VLSI Systems,* Cannes (France), October 11-13, 2004, pp. 202 – 210, IEEE Computer Society Press, Los Alamitos (California), 2004.

C12. **M. Omaña**, D. Rossi, C. Metra, “Low Cost Scheme for On-Line Clock Skew Compensation”, in *IEEE Proceedings of 23rd IEEE VLSI Test Symposium*, Palm Springs (California), May 1-5, 2005, pp. 90—95, IEEE Computer Society Press, Los Alamitos (California), 2005.

C13. J. M. Cazeaux, D. Rossi, **M. Omaña**,C. Metra, A. Chatterjee, “On Transistor Level Gate Sizing for Increased Robustness to Transient Faults”, in *IEEE Proceedings 11th IEEE International On-Line Testing Symposium*, Saint Raphael (France), July 6-8, 2005, pp. 23—28, IEEE Computer Society Press, Los Alamitos (California), 2005.

C14. **M. Omaña**,O. Losco, C. Metra, A. Pagni, “On the Selection of Unidirectional Error Detecting Codes for Self-Checking Circuits' Area Overhead and Performance Optimization”, in *IEEE Proceedings 11th IEEE International On-Line Testing Symposium*, Saint Raphael (France), July 6-8, 2005, pp. 163—168, IEEE Computer Society Press, Los Alamitos (California), 2005.

C15. C. Metra, **M. Omaña**, D. Rossi, JM. Cazeaux, TM Mak, “The Other Side of the Timing Equation: a Result of Clock Faults”, in *IEEE Proceedings of The International Symposium on Defect and Fault Tolerance in VLSI Systems,* Monterey (California), October 3-5, 2005, pp. 169—177, IEEE Computer Society Press, Los Alamitos (California), 2005.

C16. D. Rossi, **M. Omaña**, F. Toma, C. Metra, “Multiple Transient Faults in Logic: an Issue for Next Generation ICs ?”, in *IEEE Proceedings of The International Symposium on Defect and Fault Tolerance in VLSI Systems,* Monterey (California), October 3-5, 2005, pp. 352—360, IEEE Computer Society Press, Los Alamitos (California), 2005.

C17. **M. Omaña**, J. M. Cazeaux, D. Rossi, C. Metra, “Low-Cost and Highly Reliable Detector for Transient and Crosstalk Faults Affecting FPGA Interconnects”, in *IEEE Proceedings of IEEE Design, Automation and Test in Europe (DATE 2006),* Munich (Germany) March 6 - 10, 2006, pp. 170—175, IEEE Computer Society Press, Los Alamitos (California), 2006.

C18. C. Metra, D. Rossi, **M. Omaña**, J.M. Cazeaux, TM Mak, “Can Clock Faults Be Detected Through Functional Test ?”, *Proc. of the 9th IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems (DDECS’06),* Prague (Czech Republic), April 18 – 21, 2006, pp. 168—173, ISBN: 1-4244-0184-4.

C19. D. Rossi, **M. Omaña**, C. Metra, A. Pagni, "Checker No-Harm Alarm Robustness", in *IEEE Proceedings of the IEEE International On-Line Testing Symposium,* Como (Italy), July 10-12, 2006, pp.275—280, IEEE Computer Society Press, Los Alamitos (California), 2006.

C20. C. Metra, **M. Omaña**, D. Rossi, J. M. Cazeaux, TM Mak, “Path (Min) Delay Faults and Their Impact on Self-Checking Circuits’ Operation”, in *IEEE Proceedings of the IEEE International On-Line Testing Symposium,* Como (Italy), July 10-12, 2006, pp.17—22, IEEE Computer Society Press, Los Alamitos (California), 2006.

C21. C. Metra, **M. Omaña**, TM. Mak, S. Tam, "Novel Approach to Clock Fault Testing for High Performance Microprocessors", in *IEEE Proceedings VLSI Test Symposium 2007,* May 6-9, Berkeley, CA, 2007, pp. 441-446, IEEE Computer Society Press, Los Alamitos (California), 2007.

C22. C. Metra, **M. Omaña**, TM. Mak, S. Tam, "Novel Compensation Scheme for Local Clocks of High Performance Microprocessors", in *IEEE Proceedings* *of the IEEE International Test Conference 2007*, Santa Clara (California), October 21-26, 2007, pp. 1-9, International Test Conference, 2025 M Street, N.W., Suite 800, Washington D.C., 20036, 2007.

C23. C. Metra, D. Rossi, **M. Omaña**, A. Jas, R. Galivanche, "Function-Inherent Code Checking: A New Low Cost On-Line Testing Approach For High Performance Microprocessor Control Logic", in *IEEE Proceedings* of the *IEEE European Test Symposium 2008*, Lake Maggiore (Italy), May 25-29, 2008, pp. 171—176, IEEE Computer Society Press, Los Alamitos (California), 2008.

C24. C. Metra, **M. Omaña**, TM Mak, A. Rahman, S. Tam, “Novel On-Chip Clock Jitter Measurement Scheme For High Performance Microprocessors”, in *IEEE Proceedings* *of the 21st IEEE Int. Symposium on Defect and Fault Tolerance in VLSI Systems* (DFT'08), Cambridge (MA), October 1-3, 2008, pp. 465-473, IEEE Computer Society Press, Los Alamitos (California), 2008.

C25. C. Metra, D. Rossi, **M. Omaña**, A. Jas, R. Galivanche, "Low Cost On-Line Testing of the Scheduler of High Performance Microprocessors”, in *IEEE Proceedings* of the *IEEE European Test Symposium 2009*, Sevilla (Spagna), May 25-29, 2009.

C26. **(Best Paper Award)** **M. Omaña**, D. Rossi, C. Metra, “Novel High Speed Robust Latch”, in *IEEE Proceedings* *of the 22nd IEEE Int. Symposium on Defect and Fault Tolerance in VLSI Systems* (DFT'09), Chicago (IL), October 7-9, 2009, pp. 65-73, IEEE Computer Society Press, Los Alamitos (California), 2009.

C27. **M. Omaña**, M. Marzencki, R. Specchia, C. Metra, B. Kaminska, “Concurrent Detection of Faults Affecting Energy Harvesting Circuits of Self-Powered Wearable Sensors”, in *IEEE Proceedings* *of the 22nd IEEE Int. Symposium on Defect and Fault Tolerance in VLSI Systems* (DFT'09), Chicago (IL), October 7-9, pp.127-135, 2009, IEEE Computer Society Press, Los Alamitos (California), 2009.

C28. **M. Omaña**, D. Rossi, N. Bosio, C. Metra, "Novel Low-Cost Aging Sensor”, in *ACM Proccedings of the ACM International Conference on Computing Frontiers*, Bertinoro (Italy), May 17-19, 2010, ACM, New York (NY), 2010.

C29. D. Rossi, **M. Omaña**, G. Berghella, C. Metra, A. Jas, T. Chandra, R. Galivanche, "Low Cost and Low Intrusive Approach to Test On-Line the Scheduler of High Performance Microprocessors”, in *ACM Proceeding of the ACM International Conference on Computing Frontiers*, Bertinoro (Italy), May 17-19, 2010, ACM, New York (NY), 2010.

C30. **M. Omaña**, D. Rossi, N. Bosio, C. Metra, "Self-Checking Monitor for NBTI Due Degradation”, in *Proceedings of the 16th IEEE International Mixed-Signals, Sensors, and Systems Test Workshop (IMS3TW’10)*, Montpellier (France), June 7-9, 2010, IEEE Computer Society Press, Los Alamitos (California), 2010.

C31. **M. Omaña**, D. Giaffreda, C. Metra, TM Mak, S. Tam, A. Rahman, “On-Die Ring Oscillator Based Measurement Scheme for Process Parameter Variations and Clock Jitter”, in *IEEE Proceedings* of the 23rd IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems (DFT'10), Kyoto (Japan), October 6-8, 2010, pp. 265 – 272, IEEE Computer Society Press, Los Alamitos (California), 2010.

C32. D. Rossi, **M. Omaña**, C. Metra, “Transient Fault and Soft Error On-Die Monitoring Scheme”, in *IEEE Proceedings of the 23rd IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems* (DFT'10), Kyoto (Japan), October 6-8, 2010, pp. 391-398, IEEE Computer Society Press, Los Alamitos (California), 2010.

C33. D. Rossi, **M. Omaña**, D. Giaffreda, C. Metra, “Secure Communication Protocol for Wireless Sensor Networks”, in Proc. of *2010 8th IEEE East-West Design & Test Symposium (EWDTS)*, September 17-20, 2010.

C34. D. Rossi, **M. Omaña**, C. Metra, A. Paccagnella, “Impact of Aging Phenomena on Soft Error Susceptibility”, in *IEEE Proceedings of the 24th IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems* (DFT'11), Vancouver (Canada), October 3-5, 2011, pp. 18 – 24.

C35. D. Giaffreda, **M. Omaña**, D. Rossi, C. Metra, “Model for Thermal Behavior of Shaded Photovoltaic Cells Under Hot-Spot Condition”, in *IEEE Proceedings of the 24th IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems* (DFT'11), Vancouver (Canada), October 3-5, 2011, pp. 252 – 258.

C36. **M. Omaña,** D. Rossi, G. Collepalumbo, C. Metra, F. Lombardi, “Faults Affecting the Control Blocks of PV Arrays and Techniques for Their Concurrent Detection”, in *IEEE Proceedings of the 25th IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems* (DFT'12), Austin (Texas, USA), October 3-5, 2012, pp. 199-204, IEEE Computer Society Press, Los Alamitos (California), 2012.

C37. Vimalathithan R., D. Rossi, **M. Omaña,** C. Metra, M. L. Valarmathi, “Polynomial Based Key Distribution Scheme for WPAN”, in *Proceedings of 3rd International Conference on Cryptology and Computer Security 2012*, Langkawi, Malaysia, June 4-6 2012.

C38. C. Bolchini, A. Miele, C. Sandionigi, M. Ottavi, S. Pontarelli, A. Salsano, C. Metra, **M. Omaña,** D. Rossi, M. Sonza Reorda, L. Sterpone, M. Violante, S. Gerardin, M. Bagatin, A. Paccagnella, “High-reliability Fault Tolerant Digital Systems in Nanometric Technologies: Characterization and Design Methodologies” in *IEEE Proceedings of the 25th IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems* (DFT'12), Austin (Texas, USA), October 3-5, 2012, pp. 121-125, IEEE Computer Society Press, Los Alamitos (California), 2012.

C39. **M. Omaña,** D. Rossi, F. Fuzzi, C. Metra, C. Tirumurti, and R. Galivanche, “Novel Approach to Reduce Power Droop During Scan-Based Logic BIST”, in *Proceedings of IEEE* *European Test Symposium (ETS)*, Avignon (France), May 27-31,2013, pp. 1-6, IEEE Computer Society Press, Los Alamitos (California), 2013.

C40. **M. Omaña,** D. Rossi, E. Beniamino, C. Metra, C. Tirumurti, and R. Galivanche, “Power Droop Reduction During Launch-On-Shift Scan-Based Logic BIST” in *Proceedings of IEEE* *International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems*, Amsterdam, October 1-3, 2014, pp. 21-26, IEEE Computer Society Press, Los Alamitos (California), 2014.

C41. **M. Omaña**, L. A. Adanaque, C. Metra, D. Rossi, “On Aging of Latches’ Robustness”, in Proc. of **M**anufacturabl**e** and Dependable Mult**i**core Architectures at Nanoscale (MEDIAN) Workshop, 2015.

C42. M. A. Kochte, A. Dalirsani, A. Bernabei, **M. Omaña**, C. Metra, H. J. Wunderlich, “Intermittent and Transient Fault Diagnosis on Sparse Code Signatures”, in Proc. IEEE Asian Test Symposium (ATS), 2015, pp. 157 – 162, IEEE Computer Society Press, Los Alamitos (California), 2015.

C43. **M. Omaña**, A. Fiore, C. Metra, “Inverters’ Self-Checking Monitors for Reliable Photovoltaic Systems”, in *Proceedings of Design, Automation and Test in Europe (DATE 2016),* Dresden (Germany) March 14 - 18, 2016.

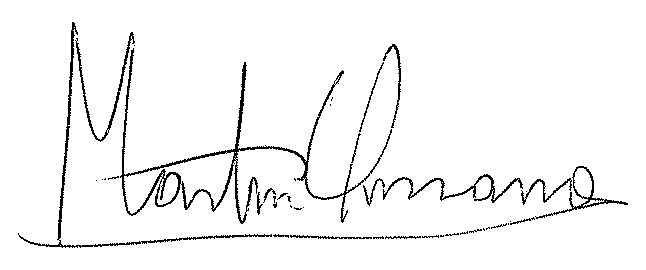
C44. M. Grossi, **M. Omaña**, D. Rossi, C. Metra, “Novel BTI Robust Ring-Oscillator-Based Physically Unclonable Function”, in *Proceedings of the 28th IEEE International On-Line Testing Symposium,* Torino (Italy), September 12-14, 2022.

C45. **M. Omaña**, F. Finelli, C. Metra, “Impact of Soft Errors on High Performance Autoencoders for Cyberattack Detection”, in *Proceedings of IEEE International Latin Amarican Test Symposium,* Virtual Event, September 5-8, 2022.

#### Articoli in Fase di Revisione presso Riviste Internazionali (con revisione tra pari)

R45. **M. Omaña**, A. Manfredi, C. Metra, R. Locatelli, M. Chiavacci and S. Petrucci, “Reliable Cache Checkers for High Performance Microprocessors of Highly Autonomous Systems”, da sottomettersi a *IEEE Transactions on Reliability*, 2022

Bologna, 20 Novembre, 2022

il dichiarante

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

\*La presente dichiarazione non necessita dell’autenticazione della firma se, ai sensi dell’art. 38, D.P.R. 445/00, è sottoscritta ed inviata insieme alla fotocopia, non autenticata di un documento di identità del dichiarante, all’ufficio competente.