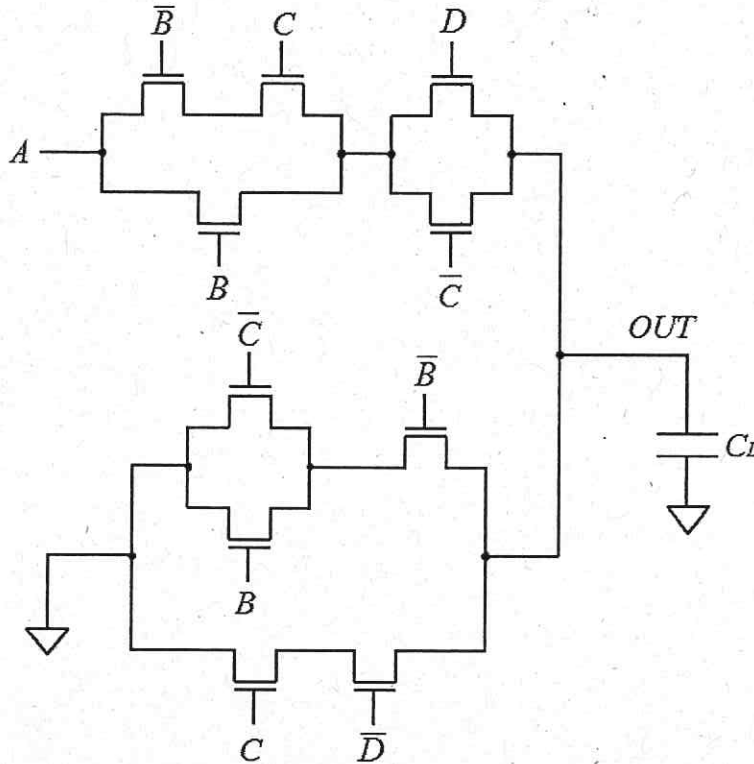


*MCE*  
*AB*

**Esercizio 1**



$V_{DD} = 1 V$   
 $V_{Tn} = 0,25 V$   
 $V_{Tp} = -0,25 V$   
 $\beta'_n = 200 \mu A/V^2$   
 $\beta'_p = 100 \mu A/V^2$   
 $C_{ox} = 23 fF/\mu m^2$   
 $L_{min} = 0,09 \mu m$   
 $\lambda = \gamma = 0$

Con riferimento al circuito in logica a PASS TRANSISTOR in figura, si considerino i transistori esauriti al 90% dell'escursione di tensione e si assumano istantanei i fronti dei segnali applicati agli ingressi. I transistori NMOS del circuito hanno tutti fattore di forma  $S_{N-PT}=4$ . La capacità di carico al nodo OUT è  $C_L = 20 fF$ . Il Candidato risponda ai seguenti quesiti:

1. Determinare la funzione logica implementata dal circuito al nodo OUT.
2. Identificare una transizione degli ingressi che produce al nodo di uscita OUT un transitorio di durata massima. Determinare inoltre la durata di tale transitorio.
3. Progettare un circuito in logica FCMOS a singolo stadio che implementi la medesima funzione logica del circuito a PASS TRANSISTOR.
4. Si assuma ora che, nel caso del circuito FCMOS progettato al punto 3, tutti i transistori NMOS della rete di PULL DOWN abbiano lo stesso fattore di forma  $S_{N-FCMOS}$ , e che tutti i transistori PMOS della rete di PULL UP abbiano lo stesso fattore di forma  $S_{P-FCMOS}$ . Dimensionare i fattori di forma  $S_{N-FCMOS}$  e  $S_{P-FCMOS}$  in modo tale che la durata dei transitori di salita e discesa al nodo OUT sia non superiore a 120 ps. Si considerino sempre i transistori esauriti al 90% dell'escursione di tensione e la capacità di carico  $C_L = 20 fF$ .
5. Si assuma ora  $B = 1, C = 0, D = 0$  e che il segnale A sia pilotato con una onda quadra di duty cycle 50% e frequenza  $f_A = 25 MHz$ . Determinare la potenza statica media e la potenza dinamica media dissipata dal circuito FCMOS progettato al punto 3.

ESAME DI STATO PER L'ABILITAZIONE ALLA PROFESSIONE DI INGEGNERE

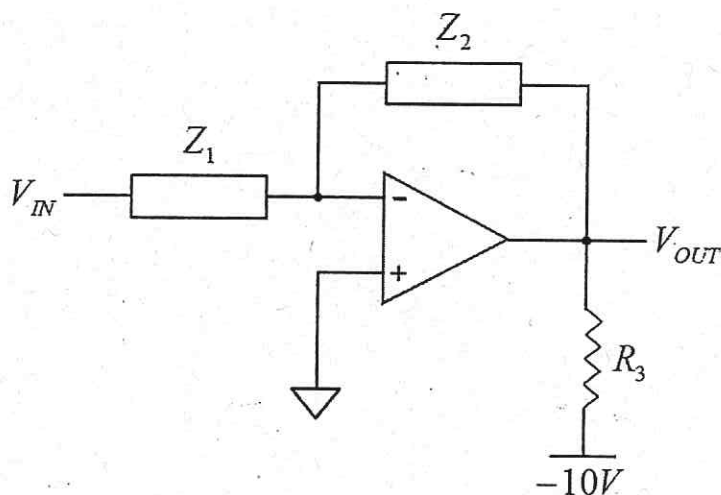
SECONDA SESSIONE 2018 – SEZIONE A

SETTORE INFORMAZIONE

PROVA PRATICA DI PROGETTAZIONE

TEMA N. 3: ELETTRONICA

Esercizio 2



Con riferimento al circuito (amplificatore invertente) in figura, si consideri l'amplificatore operazionale alimentato con le tensioni  $V_{CC} = +10\text{ V}$  e  $V_{SS} = -10\text{ V}$ . La resistenza  $R_3$  sia di  $1\text{ k}\Omega$ . Si assuma poi che le due impedenze  $Z_1$  e  $Z_2$  siano realizzate ciascuna con una resistenza e una capacità opportunamente connesse in serie o in parallelo. Il Candidato risponda ai seguenti quesiti:

1. Determinare le due impedenze  $Z_1$  e  $Z_2$  per avere un amplificatore con guadagno DC pari a  $-18$ , resistenza di ingresso DC pari a  $2\text{ k}\Omega$  e funzione di trasferimento caratterizzata da uno zero a frequenza  $100\text{ Hz}$  e un polo a frequenza  $50\text{ kHz}$ .
2. Disegnare i diagrammi di Bode (ampiezza e fase) relativi alla funzione di trasferimento dell'amplificatore progettato al punto 1.
3. Si assuma ora che l'amplificatore operazionale abbia uno slew-rate di  $8\text{ V}/\mu\text{s}$ . Determinare la massima frequenza che può avere un segnale sinusoidale di ampiezza  $1\text{ mV}$  all'ingresso  $V_{IN}$  per non avere distorsione sul segnale di uscita  $V_{OUT}$ .
4. Si assuma ora che la corrente erogata o assorbita in uscita all'amplificatore operazionale sia in modulo non superiore a  $15\text{ mA}$ . Determinare la caratteristica statica  $V_{OUT} = F(V_{IN})$  quando la tensione di ingresso è compresa nel range  $[-10\text{ V}, 10\text{ V}]$ .