

CURRICULUM VITAE

FORMATO EUROPEO PER IL CURRICULUM VITAE



INFORMAZIONI PERSONALI

Nome e Cognome	Riccardo Tedeschi
Data di nascita	18/02/1998
Telefono	
Telefono cellulare	+39 340 6591485
Indirizzo posta elettronica	riccardo.tedeschi@mailbox.org
Indirizzo Pec	riccardo.tedeschi@postecert.it

ISTRUZIONE E FORMAZIONE

• Date (da – a)	2020-presente (data di laurea presunta 15/09/2023)
• Nome e tipo di istituto di istruzione o formazione	Università di Bologna
• Qualifica conseguita	Laurea Magistrale in Ingegneria Elettronica
• Principali materie / abilità professionali oggetto dello studio	• Digital Design (Progettazione front end e back end) • Architetture dei calcolatori (RISC-V) • Sistemi elettronici ad alta affidabilità
• Date (da – a)	2017-2020
• Nome e tipo di istituto di istruzione o formazione	Università di Bologna
• Qualifica conseguita	Laurea Triennale in Ingegneria Elettronica e Telecomunicazioni

MADRELINGUA

Italiano

ALTRE LINGUE

Inglese

• Capacità di lettura

Eccellente (C1)

• Capacità di scrittura

Eccellente (C1)

• Capacità di espressione orale

Eccellente (C1)

CAPACITÀ E COMPETENZE**TECNICHE***Con computer, attrezzature specifiche, macchinari, ecc.*

- Linguaggi HDL: SystemVerilog, Verilog
- Strumenti EDA: Synopsis Design Compiler, Cadence Innovus, Mentor QuestaSim
- Linguaggi di programmazione: C, TCL, Python, MATLAB

ALTRO (PARTECIPAZIONE A

CONVEGNI, SEMINARI,

PUBBLICAZIONI,

COLLABORAZIONI A RIVISTE, ECC.

ED OGNI ALTRA INFORMAZIONE

CHE IL COMPILANTE RITIENE

DI DOVER PUBBLICARE)

Tesi di Laurea Magistrale realizzata in collaborazione con STMicroelectronics e ARCES "Erode De Castro"

Titolo: "A low-cost fault tolerant technique for microcontroller-class RISC-V processors"

Relatore: prof. Davide Rossi

Correlatori: dott. ing. Alessandro Nadalini, dott. ing. Filippo Grillotti

Argomenti trattati:

- Descrizione RTL di un processore (SystemVerilog) ridondato temporalmente
- Analisi dell'implementazione in tecnologia GF22
- Valutazione PPA (Power, Performance e Area) e affidabilità