

**FORMATO EUROPEO
PER IL CURRICULUM
VITAE**



INFORMAZIONI PERSONALI

Nome	OMANA, MARTIN EUGENIO
Indirizzo	
Telefono	
Fax	
E-mail	
Nazionalità	Italiana e argentina
Data di nascita	

ESPERIENZA LAVORATIVA

2002 - presente
Università di Bologna

- Ottobre 2021 – presente: Vincita e fruizione di contratto di lavoro autonomo non occasionale (ex art. 2222 e ss C.C.) di durata 12 mesi, bando del 22.09.2021, presso il Dipartimento di Ingegneria dell'Energia Elettrica e dell'Informazione "Guglielmo Marconi" (DEI) dell'Università degli Studi di Bologna per ricerche su "Progettazione di Smart Systems ad Elevata Affidabilità, Safety ed Efficienza Energetica". Contratto finanziato da Contratto finanziato dal Ministero per lo Sviluppo Economico
- Ottobre 2020 – Settembre 2021: Vincita e fruizione di contratto di lavoro autonomo non occasionale (ex art. 2222 e ss C.C.) di durata 12 mesi, bando del 16.07.2020, presso il Dipartimento di Ingegneria dell'Energia Elettrica e dell'Informazione "Guglielmo Marconi" (DEI) dell'Università degli Studi di Bologna per ricerche su "Strategie per l'Affidabilità e la Safety di Microprocessori ad Alte Prestazioni per Sistemi Autonomi". Contratto finanziato da Intel Corporation
- Marzo 2019 – Settembre 2020: Vincita e fruizione di contratto di collaborazione coordinata e continuativa presso il Dipartimento di Ingegneria dell'Energia Elettrica e dell'Informazione "Guglielmo Marconi" (DEI) dell'Università degli Studi di Bologna, su "Progettazione di Sistemi ad Elevata Affidabilità, Safety ed Efficienza Energetica", bando del 12.03.2019. Contratto finanziato da Intel Corporation e dal Ministero per lo Sviluppo Economico



- Marzo 2018 – febbraio 2019: contratto di collaborazione coordinata e continuativa (di durata annuale) presso il Dipartimento di Ingegneria dell'Energia Elettrica e dell'Informazione "Guglielmo Marconi" (DEI) dell'Università degli Studi di Bologna, su "Nuovo Apparecchio e Sistema di Illuminazione Industriale a Elevatissimo Risparmio Energetico", bando del 09.03.2018.
- Marzo 2017 – febbraio 2018: assegno di ricerca Post-Dottorato presso il Dipartimento di Ingegneria dell'Energia Elettrica e dell'Informazione "Guglielmo Marconi" (DEI) dell'Università degli Studi di Bologna, su "Celle ed Architetture di Memoria ad Alta Affidabilità"
- Marzo 2015 – febbraio 2017: assegno di ricerca Post-Dottorato presso il Centro di Eccellenza Denominato Centro di Ricerca sui Sistemi Elettronici per l'Ingegneria dell'Informazione e delle Telecomunicazioni "Ercole De Castro" (ARCES) dell'Università degli Studi di Bologna, su "Tecniche per la Caratterizzazione del Consumo di Potenza di Microprocessori ad Alte Prestazioni"
- Marzo 2013 – febbraio 2015: assegno di ricerca Post-Dottorato presso il Centro di Eccellenza Denominato Centro di Ricerca sui Sistemi Elettronici per l'Ingegneria dell'Informazione e delle Telecomunicazioni "Ercole De Castro" (ARCES) dell'Università degli Studi di Bologna, su "Tecniche Innovative per un'Elevata Resa di Produzione di Microprocessori ad Alte Prestazioni"
- Marzo 2012 – febbraio 2013: assegno di ricerca Post-Dottorato presso il Centro di Eccellenza Denominato Centro di Ricerca sui Sistemi Elettronici per l'Ingegneria dell'Informazione e delle Telecomunicazioni "Ercole De Castro" (ARCES) dell'Università degli Studi di Bologna, su "Progettazione di Sistemi Fotovoltaici ad Alta Efficienza Energetica"
- Marzo 2009 – febbraio 2012: assegno di ricerca Post-Dottorato presso il Centro di Eccellenza Denominato Centro di Ricerca sui Sistemi Elettronici per l'Ingegneria dell'Informazione e delle Telecomunicazioni "Ercole De Castro" (ARCES) dell'Università degli Studi di Bologna, su "Tecniche di On-Line Testing per la Logica di Controllo di Microprocessori ad Alte Prestazione"
- Marzo 2006 – febbraio 2009: assegno di ricerca Post-Dottorato presso il Dipartimento di Elettronica, Informatica e Sistemistica (DEIS) dell'Università degli Studi di Bologna, su "Tecniche di Design for Testability per Microprocessori ad Alte Prestazioni"
- Gennaio 2005 – febbraio 2006: borsa di studio presso il Dipartimento di Elettronica, Informatica e Sistemistica (DEIS) dell'Università degli Studi di Bologna, su "Tecniche per il Progetto di Sistemi ad Alta Affidabilità"
- Marzo 2002 – dicembre 2004: borsa di studio MADESS del Consiglio Nazionale delle Ricerche (CNR) per il Dottorato di Ricerca presso l'Università degli Studi di Bologna



2001
Powerware Argentina S.A.
(sede di Buenos Aires)

- Attività di studio, ricerca e progetto nell'ambito di inverter per gruppi di continuità (UPS) di bassa e media potenza

**ISTRUZIONE, FORMAZIONE
E QUALIFICHE**

Aprile 2017
Ministero dell'Istruzione,
dell'Università e della
Ricerca (MIUR)

- Conseguimento dell'Abilitazione Scientifica Nazionale (ai sensi dell'art. 16 della Legge 30 dicembre 2010, n. 240) a Professore di II Fascia, settore concorsuale 09/E3, nella procedura di Abilitazione Scientifica Nazionale 2016 (bando con scadenza 3 dicembre 2016), con giudizio unanime della commissione

Aprile 2005
Università di Bologna

- Conseguimento del titolo di Dottore di Ricerca in Ingegneria Elettronica, Informatica e delle Telecomunicazioni (Dottorato dell'Università degli Studi di Bologna) con superamento dell'esame finale (con Commissione Nazionale) presso l'Università degli Studi di Bologna

Agosto 2000
Universidad de
Buenos Aires

- Conseguimento Laurea in Ingegneria Elettronica presso l'Università di Buenos Aires (Argentina), titolo equipollente alla Laurea Italiana Vecchio Ordinamento

PRIMA LINGUA

- Capacità di lettura
- Capacità di scrittura
- Capacità di espressione orale

SPAGNOLO

ITALIANO
eccellente
eccellente
eccellente

INGLESE

- Capacità di lettura
 - Capacità di scrittura
 - Capacità di espressione orale
- eccellente
eccellente
Molto buono



ATTIVITÀ DIDATTICA

Università di Bologna

- Professore a Contratto per l'insegnamento Sistemi Elettronici ad Alta Affidabilità M. 2° modulo (3 CFU), della Laurea Magistrale in Ingegneria Elettronica (curriculum Electronica) dell'Università degli Studi di Bologna, A.A. 2020-2021, A.A. 2021-2022, A.A. 2022-2023
- Professore a Contratto per l'insegnamento Introduction to Computer Architectures M (6 CFU), della Laurea Magistrale in Ingegneria Elettronica (curriculum Electronic technologies for Big-Data and Internet of Things – EBIT) dell'Università degli Studi di Bologna, A.A. 2018-2019
- Professore a Contratto per l'insegnamento Elettronica T, 2° modulo (Elettronica di Potenza, 3 CFU), Corso di Laurea in Ingegneria dell'Energia Elettrica, Alma Mater Studiorum Università di Bologna, A.A. 2014-2015, A.A. 2015-2016, A.A. 2016-2017, A.A. 2017-2018, A.A. 2018-2019
- Tutor per l'insegnamento "Elettronica T-1" (9 CFU), Corso di Laurea in Ingegneria Elettronica, Università degli Studi di Bologna, A.A. 2013-2014, A.A. 2017-2018
- Tutor per l'insegnamento "Design for Reliable Data Processing and Storage M" (6 CFU), della Laurea Magistrale in Ingegneria Elettronica (curriculum Electronics for Intelligent Systems, Big-Data and Internet of Things – EBIT) dell'Università degli Studi di Bologna, A.A. 2019-2020, A.A. 2020-2021, A.A. 2021-2022
- Tutor per "Attività Informativa, di Accoglienza e Orientamento" (70 ore), presso la Scuola di Ingegneria e Architettura, Corso di Laurea in Ingegneria Elettronica (sede di Bologna), Università degli Studi di Bologna, A.A. 2016-2017, A.A. 2017-2018, A.A. 2018-2019, A.A. 2019-2020, A.A. 2020-2021
- Esercitazione per l'insegnamento "Design for Testability and Reliability of Integrated Circuits M" (9 CFU) della Laurea Magistrale in Ingegneria Elettronica dell'Università degli Studi di Bologna, A.A. 2009-2010, A.A. 2010-2011, A.A. 2011-2012, A.A. 2012-2013, A.A. 2013-2014, A.A. 2014-2015, A.A. 2015-2016, A.A. 2016-2017, A.A. 2018-2019
- Esercitazioni per l'insegnamento "Sistemi Elettronici ad Alta Affidabilità M" (6 CFU) della Laurea Magistrale in Ingegneria Elettronica dell'Università degli Studi di Bologna, dall'A.A. 2010-2011, A.A. 2011-2012, A.A. 2012-2013, A.A. 2013-2014, A.A. 2014-2015, A.A. 2016-2017, A.A. 2017-2018, A.A. 2018-2019
- Esercitazione per l'insegnamento "Elettronica T-1" (9 CFU) della Laurea Triennale in Ingegneria Elettronica dell'Università degli Studi di Bologna, A.A. 2011-2012, A.A. 2012-2013
- Esercitazione per l'insegnamento "Elettronica T" (9 CFU) della Laurea Triennale in Ingegneria Elettronica dell'Università degli Studi di Bologna,



A.A. 2009-2010, A.A. 2010-2011, A.A. 2011-2012

- Esercitazioni per l'insegnamento "Sistemi Elettronici ad Alta Affidabilità LS" (6 CFU) della Laurea Specialistica in Ingegneria Elettronica dell'Università di Bologna, A.A. 2002-2003, A.A. 2003-2004, A.A. 2004-2005, A.A. 2005-2006, A.A. 2006-2007, A.A. 2007-2008, A.A. 2008-2009
- Seminario svolto su "Impatto di Fenomeni di Invecchiamento sull'Affidabilità di ICs" nell'ambito del corso "Sistemi Elettronici ad Alta Affidabilità M" (6 CFU) della Laurea Magistrale in Ingegneria Elettronica (curriculum: Elettronica) dell'Università degli Studi di Bologna, A.A. 2020/2021, A.A. 2016/2017
- Seminario svolto su "Codici a Correzione d'Errore di tipo Single Error Correction Double Error Detection (SEC-DED)" nell'ambito del corso "Sistemi Elettronici ad Alta Affidabilità M" (6 CFU) della Laurea Magistrale in Ingegneria Elettronica (curriculum: Elettronica) dell'Università degli Studi di Bologna, A.A. 2020/2021, A.A. 2018/2019, A.A. 2017/2018, A.A. 2016/2017, A.A. 2015/2016, A.A. 2014/2015
- Seminario svolto su "Hardware in the Loop (HiL)" nell'ambito del corso "Test, Diagnosis and Reliability M" (6 CFU) della Laurea Magistrale in Advanced Automotive Electronic Engineering (A2E2) dell'Università degli Studi di Bologna, A.A. 2020/2021, A.A. 2018/2019, A.A. 2017/2018, A.A. 2021/2022
- Seminario svolto su "Aging Phenomena and Description of their Impact on Soft Error" nell'ambito del corso "Design for Reliable Data Processing and Storage M" (6 CFU) della Laurea Magistrale in Ingegneria Elettronica (curriculum Electronic technologies for Big-Data and Internet of Things – EBIT) dell'Università degli Studi di Bologna, A.A. 2019/2020, 2017/2018, A.A. 2020/2021
- Seminario svolto su "Single Error Correction, Double Error Detection (SEC-DED) Codes" nell'ambito del corso "Design for Reliable Data Processing and Storage M" (6 CFU) della Laurea Magistrale in Ingegneria Elettronica (curriculum Electronic technologies for Big-Data and Internet of Things – EBIT) dell'Università degli Studi di Bologna, A.A. 2019/2020, A.A. 2020/2021, A.A. 2021/2022
- Seminario svolto su "*Hardware in the Loop (HiL)*" nell'ambito del corso "Test, Diagnosis and Reliability M" (6 CFU), della Laurea Magistrale in Advanced Automotive Electronic Engineering (A²E²) dell'Università degli Studi di Bologna, A.A. 2017-2018
- Seminario svolto su "*Codici a Correzione d'Errore di tipo Single Error Correction Double Error Detection (SEC-DED)*" nell'ambito del corso "Sistemi Elettronici ad Alta Affidabilità M" (6 CFU), della Laurea Magistrale in Ingegneria Elettronica (curriculum: Elettronica) dell'Università degli Studi di Bologna, A.A. 2014-2015, A.A. 2015-2016, A.A. 2016-2017, A.A. 2017-2018



- Seminario svolto su “Impact of Ageing Phenomena on ICs’ Soft Error Vulnerability” nell’ambito del corso “Design for Testability and Reliability of Integrated Circuits M” (9 CFU) della Laurea Magistrale in Ingegneria Elettronica dell’Università degli Studi di Bologna, A.A. 2015-2016
- Seminario svolto su “Hot-Spot Heating in Photovoltaic Cells” nell’ambito del corso “Design for Testability and Reliability of Integrated Circuits M” (9 CFU) della Laurea Magistrale in Ingegneria Elettronica dell’Università degli Studi di Bologna, A.A. 2010-2011
- Seminario svolto su “Data Security in Reti Wireless” nell’ambito del corso “Sistemi Elettronici ad Alta Affidabilità LS” (6 CFU) della Laurea Specialistica in Ingegneria Elettronica dell’Università degli Studi di Bologna, A.A. 2008-2009

Universidad de
Buenos Aires

- Esercitazioni per l’insegnamento “Elettronica Applicata I” della Laurea in Ingegneria Elettronica dell’Università di Buenos Aires (Argentina), A.A. 2000, 2001

**MEMBRO DI COMMISSIONE
ESAMINATRICE**

- Membro della Commissione di Laurea Magistrale in Ingegneria Elettronica dell’Università di Bologna, Seconda Sessione di Laurea, A.A. 2019-2020
- Membro della Commissione di Laurea Magistrale in Advanced Automotive Electronic Engineering (A2E2) dell’Università degli Studi di Bologna, Seconda Sessione di Laurea, A.A. 2019-2020
- Membro Esperto Aggregato (in Elettronica) della Commissione esaminatrice per gli Esami di Stato per l’abilitazione all’esercizio della professione di Ingegnere, sede di Bologna, per l’anno 2018 (I e II sessione)
- Membro Esperto Aggregato (in Elettronica) della Commissione esaminatrice per gli Esami di Stato per l’abilitazione all’esercizio della professione di Ingegnere, sede di Bologna, per l’anno 2017 (I e II sessione)
- Membro della Commissione di Laurea Magistrale in Ingegneria Elettronica dell’Università di Bologna, per la Prima Sessione (secondo appello) di Laurea A.A. 2015-2016
- Membro Esperto Aggregato (in Elettronica) della Commissione esaminatrice per gli Esami di Stato per l’abilitazione all’esercizio della professione di Ingegnere, sede di Bologna, per l’anno 2015 (I sessione)
- Membro Esperto Aggregato (in Elettronica) della seconda Commissione esaminatrice per gli Esami di Stato per l’abilitazione all’esercizio della professione di Ingegnere, sede di Bologna, per l’anno 2007 (I e II sessione)



- Assistenza allo svolgimento del Test di Ammissione ai corsi di Laurea della Facoltà di Ingegneria, A.A. 2005-2006, 2012-2013

□ **SUPERVISIONE
ATTIVITÀ DI RICERCA DI
STUDENTI PHD**

- Ing. Meryem Bouras, studentessa di PhD presso la Mohammed V University in Rabat, Rabat (Marocco), ed Erasmus student presso l'Università di Bologna (settembre 2016 – giugno 2017)
- Ing. Zahra Shirmohammadi, studentessa di PhD presso la University of Technology, Tehran (Iran), e Visiting PhD student presso l'Università di Bologna (settembre 2016 – dicembre 2016)
- Ing. Vimalathithan Rathinasabapathy, studente di PhD presso la Anna University, Coimbatore (India), e visiting PhD student presso l'Università di Bologna (settembre 2010 – luglio 2011)
- Ing. Daniele Giaffreda, studente di PhD presso ARCES, Università di Bologna (gennaio 2010 – agosto 2011)

**CORRELATORE TESI DI
LAUREA IN INGEGNERIA
ELETTRONICA
DELL'UNIVERSITÀ DI
BOLOGNA**

- “Diagnosi Concorrente di Guasti in Sistemi ad Alta Affidabilità”, Ing. Nicola Laffi, A.A. 2002-2003 (svolta in collaborazione con STMicroelectronics)
- “Tecniche di Riconfigurazione Concorrente per Sistemi ad Alta Affidabilità”, Ing. Andrea Ferrari, A.A. 2003-2004 (svolta in collaborazione con STMicroelectronics)
- “Strategie di Progetto e di Ausilio alla Progettazione per Automi Nanometrici ad Alta Affidabilità”, Ing. Ovidio Losco, A.A. 2003-2004 (svolta in collaborazione con STMicroelectronics)
- “Effetti di Guasti Transitori Multipli sul Funzionamento di Circuiti Very Deep SubMicron”, Ing. Fabio Toma, A.A. 2004-2005 (svolta in collaborazione con STMicroelectronics)
- “Rivelazione Concorrente di Guasti in Microprocessori ad Alte Prestazioni”, Ing. Giuliano Garriamone, A.A. 2006-2007 (svolta in collaborazione con Intel Corporation)
- “Strategie di Misura sul Chip del Clock Jitter per Microprocessori ad Alte Prestazioni”, Ing. Daniele Giaffreda, A.A. 2007-2008 (svolta in collaborazione con Intel Corporation)
- “On-Line Testing Approaches for High Performance Microprocessors”, Ing. Filipimin Andreas Dragonas, A.A. 2007-2008
- “Modeling and Tolerance of Faults Affecting Circuits Implemented by Emergent Technologies”, Ing. Salvatore Schinella, A.A. 2007-2008 (svolta in collaborazione con la Northeastern University, Boston, USA)



- “Celle Solari Polimeriche”, Ing. Alessio Ronchini, A.A. 2010-2011
- “Fault Tolerant Energy Harvesting System for Biomedical Applications”, Ing. Roberto Specchia, A.A. 2007-2008 (svolta in collaborazione con la Simon Fraser University, Canada)
- “Power Analysis and Degradation of Organic PV Cells”, Ing. Gunanathan Nishanthan, A.A. 2010-2011 (svolta in collaborazione con la Northeastern University, Boston, USA)
- “Faults Affecting the Control Blocks of Photovoltaic Arrays and Techniques for Their Tolerance”, Ing. Giacomo Collepalumbo, A.A. 2010-2011 (svolta in collaborazione con la Northeastern University, Boston, USA)
- “Tecnologie Innovative per un Collaudo Affidabile di Sistemi Digitali Avanzati”, Ing. Filippo Fuzzi, A.A. 2011-2012 (svolta in collaborazione con Intel Corporation)
- “Analisi degli Effetti di Guasti Transitori ed Invecchiamento su Elementi di Memoria”, Ing. Luz Antuanet Adanaquè Infante, A.A. 2012-2013
- “Tecniche Innovative per l’Alta Qualità del Collaudo di Microprocessori ad Elevate Prestazioni”, Ing. Edda Beniamino, A.A. 2012-2013 (svolta in collaborazione con Intel Corporation)
- “Analisi di Guasti di Sistemi Fotovoltaici e Strategie per la loro Tolleranza”, Ing. Alessandro Fiore, A.A. 2014-2015
- “Strategie per la Caratterizzazione dopo la Fabbricazione del Consumo di Potenza di Microprocessori ad Alte Prestazioni”, Ing. Kresnik Velju, A.A. 2014-2015 (svolta in collaborazione con Intel Corporation)
- “Strategie per un’Elevata Qualità del Collaudo di Microprocessori ad Alte Prestazioni”, Ing. Riccardo Cesari, A.A. 2014-2015 (svolta in collaborazione con Intel Corporation)
- “Faults Affecting Resistive memories and Approaches to Detect Them”, Ing. Sejuti Bardhan, A.A. 2016-2017
- “Strategie per la Rivelazione di Guasti in Memorie Resistive”, Ing. Anna Righi, A.A. 2016-2017
- “Progetto di Sistemi Elettronici per Smart Lighting”, Ing. Daniela Rossi, A.A. 2016-2017 (svolta in collaborazione con la ditta Becar – Beghelli)
- “Progettazione di Sistemi Elettronici per Smart Lighting Basati su Sensori ad Onde Infrarosse”, Ing. Francesca Campitiello, A.A. 2017-2018 (svolta in collaborazione con la ditta Becar – Beghelli)
- “Affidabilità di Sistemi di Regolazione dell’Alimentazione per



Processori Multi-Core”, Ing. Alex Menghi, A.A. 2017-2018 *(svolta in collaborazione con Intel Corporation)*

- “Progetto di Sistemi di Regolazione dell’Alimentazione ad Alta Affidabilità per Processori Multi-Core”, Ing. Alessandro Stefani, A.A. 2018-2019 *(svolta in collaborazione con Intel Corporation)*
- “Sistemi di Regolazione dell’Alimentazione Affidabili per Processori Multi-Core”, Ing. Enrico Vicini, A.A. 2018-2019 *(svolta in collaborazione con Intel Corporation)*
- “Strategia di Smart Lighting basata su Innovativi Sensori a Termopila”, Ing. Stefano Pandolfo, A.A. 2018-2019 *(svolta in collaborazione con la ditta Becar – Beghelli)*
- “Innovative Smart Lighting Strategy Based on Bluetooth Low-Energy”, Ing. Mehdi Naseh, A.A. 2018-2019 *(svolta in collaborazione con la ditta Becar – Beghelli)*
- “Evaluation of Network on Chip Infrastructures for Dependability Management in Multicore Processors”, Ing. Muhammad Aqib Chaudhry, A.A. 2018-2019 *(svolta in collaborazione con University of Twente)*
- “Impact of Fault Attacks on Post-Quantum Cryptographic Systems”, Ing. Marta Carcione, A.A. 2018-2019 *(svolta in collaborazione con la Stuttgart University)*
- “Strategie di Autenticazione Affidabili per Sistemi ad Elevata Sicurezza”, Ing. Biagio Marzulli, A.A. 2018-2019 *(svolta in collaborazione con l’Università di Pisa)*
- “Valutazione dell’Affidabilità di Dispositivi di Potenza in Piani di Cottura ad Induzione”, Ing. Valentina Bracchetti, A.A. 2019-2020 *(svolta in collaborazione con la ditta Electrolux)*
- “Design of a Smart Lighting Strategy Based on Smartphone Devices”, Ing. Aalap Pathak, A.A. 2019-2020 *(svolta in collaborazione con la ditta Becar – Beghelli)*
- “Review of Fault Mitigation Approaches for Deep Neural Networks for Computer Vision in Autonomous Driving”, Ing. Mattia Cerino, A.A. 2019-2020 *(svolta in collaborazione con Intel Labs, Germania)*
- “Safety Risks of Design for Reliability Approaches for Microprocessors’ Voltage Regulators in Highly Autonomous Intelligent Systems”, Ing. Matteo Lenti, A.A. 2019-2020 *(svolta in collaborazione con Intel Corporation)*
- “Development of Innovative Algorithms and Tools to Test Advanced Technology Cell Libraries”, Ing. Francesco Lorenzelli, A.A. 2019-2020 *(svolta in collaborazione con IMEC, Belgio)*
- “Rischi per la Safety delle Cache di Microprocessori per Sistemi Intelligenti ad Elevato Livello di Autonomia”, tesi di Laurea Magistrale



di Annalisa Manfredi, A.A. 2019-2020 (svolta in collaborazione con Intel Corporation).

- “Design Approaches for Reliable Fully Integrated Voltage Regulators of High Performance Microprocessors for Highly Autonomous Systems”, tesi di Laurea Magistrale di Abdul Basit Parker, A.A. 2020-2021 (svolta in collaborazione con Intel Corporation).
- Tesi di Federico Galli su “Design of an Innovative Electric Vehicle Simulator for Charging Systems’ End-of-Line Testing” (svolta in collaborazione con ABB-EVI), Marzo 2021
- Tesi di Jaber Nikpouri su “Strategies for Automatic Validation of Infotainment for Electrical Vehicles” (svolta in collaborazione con Maserati), Marzo 2021
- Tesi di Filippo Martini su “Strategies for Reliable Validation of Sensors for Road Sign Recognition in Autonomous Vehicles” (svolta in collaborazione con Toyota), Marzo 2021
- Tesi di Andrea Fabrizi su “Strategie di Computer Vision e Deep Learning per il Monitoraggio dell’Usura di Macchinari Industriali” (svolta in collaborazione con Kiwitron), Marzo 2021

PREMI

- Best Paper Award del 24th IEEE Defect and Fault Tolerance Symposium in VLSI Systems 2009 (Chicago, Illinois, 7-9 Ottobre 2009), con l’articolo dal titolo: “Novel High Speed Robust Latch”, M. Omaña, D. Rossi, C. Metra
- Certificate of Appreciation dell’IEEE Computer Society, 23 novembre 2016
- Certificate of Appreciation dell’IEEE Computer Society, Dicembre 2020
- Selezione per l’Innovation@Intel website (“Fishing for Faults in the Field”, 21 Maggio 2010), dell’articolo “Low Cost and Low Intrusive Approach to Test On-Line the Scheduler of High Performance Microprocessors”, D. Rossi, M. Omaña, G. Berghella, C. Metra, A. Jas, T. Chandra, R. Galivanche
- Revisore presso il Natural Sciences and Engineering Research Council of Canada (NSERC) – Canada, 2020. Titolo del progetto valutato: “Reliability-Aware Design of Systems on Chip (SoCs)”; durata del progetto: 3 anni; costo del progetto: 500k dollari canadesi



RESPONSABILITÀ PRESSO RIVISTE INTERNAZIONALI

- Membro dell'Editorial Board della rivista internazionale Telecom della MDPI (ISSN 2673-4001), 2020-presente
- Guest Editor del Monthly Theme di gennaio 2017 della rivista Computing Now dell'IEEE Computer Society, dal titolo "Maximizing Solar Power: Not only a Matter of Cell Efficiency"
- Membro del Advisory Board della rivista Computing Now dell'IEEE Computer Society, dal 24 marzo 2016
- Membro dell'Editorial Board della rivista internazionale IEEE Transactions on Emerging Topics in Computing dell'IEEE Computer Society (ISSN: 2168-6750), da giugno 2018
- Membro dell'Editorial Board della rivista internazionale (open access) Journal of VLSI Desing, Hindawi (ISSN: 1065-514X), 2018
- Responsabile per la lettura della versione in spagnolo del Monthly Theme della Rivista Computing Now dell'IEEE Computer Society
- Guest Co-Editor (insieme al Dr. Marco Grossi, Università di Bologna) dello Special Issue su "*Sensors and Embedded Systems in Agriculture and Food Analysis*" del Journal of Sensors, Hindawi, 2018
- Guest Co-Editor (insieme al Dr. Marco Grossi, Università di Bologna) dello Special Issue su "*Applications of Electrical Impedance Spectroscopy (EIS) in the Development of Sensors and Sensing Systems*" della Rivista Sensors, MDPI, 2019
- Revisore per "IEEE Transactions on Computers" (2005 - presente)
- Revisore per "IEEE Transactions on Computer-Aided Design of Integrated Circuits" (2005, 2006, 2007, 2010)
- Revisore per "IEEE Transactions on Very Large Scale Integration (VLSI) Systems" (2009-presente)
- Revisore per "IEEE Transactions on Nanotechnology" (2012, 2020)
- Revisore per "Journal of Electronic Testing: Theory and Applications (JETTA)" (2003 - presente)
- Revisore per "IEEE Transactions on Device and Materials Reliability" (2013)
- Revisore per "IET Circuits, Devices & Systems" (2012)
- Revisore per "Integration, the VLSI Journal" (2009)
- Revisore per "ACM Transactions on Design Automation of Electronic Systems" (2013, 2014)
- Revisore per "Journal of Microelectronic Reliability, Elsevier" (2012 - presente)
- Revisore per "IEEE Transactions on Emerging Topics in Computing" (2015, presente)



**RESPONSABILITÀ PRESSO
CONFERENZE
INTERNAZIONALI**

- Membro del Technical Program Committee della conferenza internazionale *31st IEEE FRUCT Conference*, Helsinki (Finland), April 27-29, 2022.
- Membro del Technical Program Committee della conferenza internazionale *35th IEEE Symposium on Microelectronics Technology and Devices (SBMicro 2021)*, ONLINE event, August 23 – 27, 2021
- Membro del Technical Program Committee della conferenza internazionale *29th IEEE FRUCT Conference*, Tampere (Finland), May 12-14, 2021
- Membro del Jury for the Best Presentation Award del PhD Forum Track della conferenza internazionale *IEEE/ACM Design, Automation and Test in Europe 2021 (DATE 2021)*, Grenoble (Francia), 1 Febbraio, 2021
- Membro del Technical Program Committee del PhD Forum Track della conferenza internazionale *IEEE/ACM Design, Automation and Test in Europe 2021 (DATE 2021)*, Grenoble (Francia), 1-5 Febbraio, 2021
- Membro del Technical Program Committee per la conferenza internazionale *IEEE European Test Symposium 2020 (ETS 2020)*, Tallinn (Estonia), 25-29 maggio 2020
- Membro del Technical Program Committee del PhD Forum Track della conferenza internazionale *IEEE/ACM Design, Automation and Test in Europe 2020 (DATE 2020)*, Grenoble (Francia), 9-13 marzo 2020
- Membro del Technical Program Committee per la conferenza internazionale *IEEE European Test Symposium 2019 (ETS 2019)*, Baden Baden (Germany), 27–31 maggio 2019
- Membro del Technical Program Committee del PhD Forum Track della conferenza internazionale *IEEE/ACM Design, Automation and Test in Europe 2019 (DATE 2019)*, Firenze (Italia), 25-29 marzo 2019
- Membro del Technical Program Committee per la conferenza internazionale *IEEE European Test Symposium 2018 (ETS 2018)*, Bremen (Germany), 28 maggio – 1 giugno 2018
- Membro del Technical Program Committee del PhD Forum Track della conferenza internazionale *IEEE/ACM Design, Automation and Test in Europe 2018 (DATE 2018)*, Dresden (Germany), 19-23 marzo 2018
- Membro del Technical Program Committee per la conferenza internazionale *IEEE European Test Symposium 2017 (ETS 2017)*, Limassol (Cyprus), 22-26 maggio 2017



- Membro del Technical Program Committee del PhD Forum Track della conferenza internazionale IEEE/ACM Design, Automation and Test in Europe 2017 (DATE 2017), Lausanne (Switzerland), 27-31 marzo 2017
- Local Chair per la conferenza internazionale "12th IEEE International On-Line Testing Symposium", Como (Italia), 10 - 12 luglio 2006
- Membro del Publicity staff per la conferenza internazionale "29th IEEE VLSI Test Symposium", Dana Point (CA, USA), 1-5 maggio 2011
- Membro del Publicity staff per la conferenza internazionale "30th IEEE VLSI Test Symposium", Hawaii (USA), 22-26 aprile 2012
- Revisore per "International Test Conference" (2003 - 2013)
- Revisore per "IEEE VLSI Test Symposium" (2008 - 2013)
- Revisore per "IEEE Int. On-Line Testing Symp." (2004, 2018)
- Revisore per "IEEE Design, Automation and Test in Europe – Conference and Exhibition (DATE)" (2005 - 2017)
- Revisore per "IEEE Symposium on Defect and Fault Tolerance in VLSI Systems" (2008 - 2021)
- Revisore per "IEEE Asian Test Symposium (ATS)" (2011 - 2018)
- Revisore per "IEEE International Conference on Computer-Aided Design (ICCAD)" (2011)
- Revisore per "International Conference on Field Programmable Logic and Applications (FPL)" (2011)
- Revisore per "Internet of Things (IoT) Conference" (2015, 2016)

**CONOSCENZE
INFORMATICHE**

- Sistemi operativi Linux e Windows
- Pacchetto Office, LaTeX
- C, C++, Perl, VHDL, Verilog
- AutoCAD, HSPICE, LTspice, MatLab, Synopsys (Design Compiler, TetraMAX, VCS), Altera Quartus II

ATTIVITÀ DI RICERCA

- **Co-Investigator** del Research Grant per ricerche su "*Check the Checker Approaches for High Performance Microprocessors of Autonomous Systems*" finanziato da **Intel Corporation**, 2020 –2021
- **Co-Investigator** del Research Grant per ricerche su "*Power Faults On-Line Detection and Reaction in Complex SoCs*" finanziato da **Intel Corporation**, 2018 –2019



- Partecipazione al Contratto di Ricerca dal titolo “*Nuovo Apparecchio e Sistema di Illuminazione Industriale a Elevatissimo Risparmio Energetico – LUMINARE*” finanziato dal **Ministero dello Sviluppo Economico – MISE** (Fondo Innovazione Tecnologica), in collaborazione con la ditta **Becar-Beghelli (Bologna)**, dicembre 2017 – dicembre 2019.
- Partecipazione al Contratto di Ricerca dal titolo “*Techniques to Control Power Droop/Activity Factor During Logic BIST*” finanziato da **Intel Corporation (Santa Clara, CA)**, novembre 2011 – novembre 2015. L’attività di ricerca condotta in questo ambito ha originato 3 pubblicazioni su riviste internazionali (con revisione tra pari) e 2 pubblicazioni su *Proceedings* di conferenze internazionali (con revisione tra pari), di cui Martin Omaña è primo autore in tutte, con numero medio di autori pari a 6. Queste pubblicazioni sono quelle numero R19, R21, R24, C39, C40 nella lista delle pubblicazioni sottostante
- Partecipazione ai Research Grant dal titolo “*Low Cost Control Logic Concurrent Error Detection Schemes for RAS, Debug and Test*” finanziati da **Intel Corporation (Santa Clara, CA)**, maggio 2007-aprile 2009. L’attività di ricerca condotta in questo ambito ha originato 2 pubblicazioni su riviste internazionali (con revisione tra pari) e 4 pubblicazioni su *Proceedings* di conferenze internazionali (con revisione tra pari), di cui Martin Omaña è primo autore in 2, secondo autore in 2 e terzo autore in 2, con numero medio di autori inferiore a 5. Queste pubblicazioni sono quelle numero R8, R13, C23, C25, C26, C29 nella lista delle pubblicazioni sottostante
- Partecipazione al Contratto di Ricerca dal titolo “*Studio di un protocollo di protezione delle informazioni trasmesse su rete radio proprietaria*” finanziato dal **Ministero dello Sviluppo Economico – MISE** (Fondo Innovazione Tecnologica), in collaborazione con la ditta **Becar-Beghelli (Bologna)**, novembre 2008 – ottobre 2009. L’attività di ricerca condotta in questo ambito ha originato 2 pubblicazioni su riviste internazionali (con revisione tra pari) e 2 pubblicazioni su *Proceedings* di conferenze internazionali (con revisione tra pari), di cui Martin Omaña è secondo autore in 1 e terzo autore in 3, con numero medio di autori inferiore a 5. Queste pubblicazioni sono quelle numero R15, R23, C33, C37 nella lista delle pubblicazioni sottostante
- Partecipazione ai Research Grant dal titolo “*Clock Fault Testing and DFT*” finanziati da **Intel Corporation (Santa Clara, CA)**, maggio 2006-aprile 2008. L’attività di ricerca condotta in questo ambito ha originato 4 pubblicazioni su riviste internazionali (con revisione tra pari) e 4 pubblicazioni su *Proceedings* di conferenze internazionali (con revisione tra pari), di cui Martin Omaña è primo autore in 2 e secondo autore in 6, con numero medio di autori inferiore a 5. Queste pubblicazioni sono quelle numero R9, R10, R14, R16, C21, C22, C24, C32 nella lista delle pubblicazioni sottostante



- Partecipazione al Research Grant dal titolo “*DFT for Detection of Clock Distribution Faults*” finanziato da **Intel Corporation (Santa Clara, CA)**, gennaio 2004 - dicembre 2005. L’attività di ricerca condotta in questo ambito ha originato 9 pubblicazioni su *Proceedings* di conferenze internazionali (con revisione tra pari), di cui Martin Omaña è primo autore in 2, secondo autore in 3 e terzo autore in 4, con numero medio di autori inferiore a 4. Queste pubblicazioni sono quelle numero C5, C7, C9, C10, C11, C12, C15, C18, C20 nella lista delle pubblicazioni sottostante
- Partecipazione al Contratto di Ricerca dal titolo “*Design and Testing Paradigms for Reliable Multiprocessor Systems*” finanziato da **STMicroelectronics (Agrate, Italia)**, “2004 – 2006. L’attività di ricerca condotta in questo ambito ha originato 1 pubblicazione su rivista internazionale (con revisione tra pari) e 3 pubblicazioni su *Proceedings* di conferenze internazionali (con revisione tra pari), di cui Martin Omaña è primo autore in 1 e secondo autore in 3, con numero medio di autori inferiore a 4. Queste pubblicazioni sono quelle numero R5, C14, C16, C19 nella lista delle pubblicazioni sottostante
- Partecipazione al Contratto di Ricerca dal titolo “*Design and Communication Paradigms for Reliable Automata Systems*” finanziato da **STMicroelectronics (Agrate, Italia)**, 2003. L’attività di ricerca condotta in questo ambito ha originato 2 pubblicazioni su *Proceedings* di conferenze internazionali (con revisione tra pari), di cui Martin Omaña è terzo autore, con numero medio di autori inferiore a 4. Queste pubblicazioni sono quelle numero C4, C8 nella lista delle pubblicazioni sottostante

La strategia del Gruppo di Ricerca di cui M. Omaña è parte (Gruppo coordinato dalla Prof.ssa Cecilia Metra) riguardo all’ordine del nome degli autori nelle pubblicazioni scientifiche è quella di seguire un ordine basato sull’entità del contributo tecnico apportato dagli autori alla pubblicazione.

**CO-AUTORE DI POSTER
INVITATI**

- C. Metra, D. Rossi, **M. Omaña**, M. Cazeaux, “Testing, On-Line Testing and Correction Strategies for Clock Faults”, Intel Academic Forum, Gdansk (Poland), May 18-20, 2005
- C. Metra, D. Rossi, **M. Omaña**, M. Cazeaux, “Optimal Error Correcting Codes for Caches”, Intel Academic Forum, Gdansk (Poland), May 18-20, 2005
- C. Metra, **M. Omaña**, D. Rossi, M. Cazeaux, “Characterization and Tolerance of Soft Errors”, Intel Academic Forum, Gdansk (Poland), May 18-20, 2005
- C. Metra, M. Cazeaux, D. Rossi, **M. Omaña**, “Electrical Modeling



and Defect Tolerance for Carbon Nanotube Interconnects”, Intel Academic Forum, Gdansk (Poland), May 18-20, 2005

- C. Metra, D. Rossi, **M. Omaña**, M. Cazeaux, “Fault Tolerant Solutions for Cache Faults”, Intel Academic Forum, Dublin (Ireland), May 30-June 1, 2006
- C. Metra, D. Rossi, **M. Omaña**, M. Cazeaux, “New Architecture for Carbon Nanotube Interconnects”, Intel Academic Forum, Dublin (Ireland), May 30-June 1, 2006
- C. Metra, D. Rossi, **M. Omaña**, M. Cazeaux, “Design for Testability Solutions for Clock Faults of High Performance Microprocessors”, Intel Academic Forum, Dublin (Ireland), May 30-June 1, 2006
- C. Metra, **M. Omaña**, D. Rossi, M. Cazeaux, “Soft Errors Analysis and Hardening Techniques”, Intel Academic Forum, Dublin (Ireland), May 30-June 1, 2006
- C. Metra, D. Rossi, **M. Omaña**, “Low-Cost Control Logic Oriented
- Concurrent Error Detection Schemes for RAS, Debug, Silicon Validation and Test”, Intel Academic Forum, Budapest (Hungary), June 12-14, 2007
- C. Metra, **M. Omaña**, D. Rossi, “Debug, Testing, Diagnosis and Compensation of Clock Faults of High Performance Microprocessors”, Intel Academic Forum, Budapest (Hungary), June 12-14, 2007
- C. Metra, D. Rossi, **M. Omaña**, “Error Control Techniques for Reliable Network on Chip”, Intel Academic Forum, Budapest (Hungary), June 12-14, 2007
- C. Metra, **M. Omaña**, D. Rossi, “Transient Faults’ Modeling and Latch Robust Design”, Intel Academic Forum, Budapest (Hungary), June 12-14, 2007

**PARTECIPAZIONE A SCUOLE
DI DOTTORATO**

Scuola di Dottorato del Gruppo Elettronica, Passignano, Perugia, 9-11 giugno 2003

**PUBBLICAZIONI SU
RIVISTE INTERNAZIONALI
PEER REFEREED**

- R1. **M. Omaña**, D. Rossi, C. Metra, "Model for Transient Fault Susceptibility of Combinational Circuits", in The Journal of Electronic Testing: Theory and Applications (JETTA), Vol. 20, No. 5, pp. 495-503, October 2004, Kluwer Academic Publishers, Norwell, MA 02061 (USA), 2004.
- R2. **M. Omaña**, D. Rossi, C. Metra, "Low Cost and High Speed Embedded Two-Rail Code Checker", in IEEE Transactions on Computers, Vol. 54, Issue 2, February 2005, pp. 153—164, IEEE Computer Society Press, Los Alamitos (California), 2005.



- R3. J. M. Cazeaux, **M. Omaña**, C. Metra, "Novel On-Chip Circuit for Jitter Testing in High-speed PLLs", in IEEE Transactions on Instrumentations and Measurements, Vol. 54, Issue 5, October 2005, pp. 1779—1788, The Institute of Electrical and Electronics Engineers Inc., Piscataway, (NJ), 2005.
- R4. **M. Omaña**, D. Rossi, C. Metra, "Latch Susceptibility to Transient Faults and New Hardening Approach", in IEEE Transactions on Computers, Vol. 56, Issue 9, September 2007, pp. 1255-1268, IEEE Computer Society Press, Los Alamitos (California), 2007.
- R5. D. Rossi, **M. Omaña**, C. Metra, "Checker No-Harm Alarms and Design Approaches to Tolerate Them", in The Journal of Electronic Testing: Theory and Applications (JETTA), Vol. 24, Issue 1-3, June 2008, pp. 93-103, Springer, Springer Boston/Norwell (USA), 2008, ISSN: 0923-8174.
- R6. E. Binda, **M. Omaña**, H. E. Tacca, "Lazo de Control Optocoplado para Fuente Conmutada", Revista Iberoamericana de Automatica e Informatica Industrial (RIAI-Spain), Vol. 5, No 1, pp. 37-50, January 2008, Comité Español de Automática (CEA), ISSN 1697-7912.
- R7. D. Rossi, J. M. Cazeaux, **M. Omaña**, C. Metra, A. Chatterjee, "Accurate Linear Model for SET Critical Charge Estimation", IEEE Transactions on VLSI Systems, Vol. 17, No. 8, pp. 1161 – 1166, Agosto 2009, The Institute of Electrical and Electronics Engineers Inc., Piscataway, (NJ).
- R8. **M. Omaña**, D. Rossi, C. Metra, "High Performance Robust Latches", in IEEE Transactions on Computers, Vol. 59, No. 11, pp. 1455 – 1465, November 2010, IEEE Computer Society Press, Los Alamitos (California), 2010.
- R9. **M. Omaña**, C. Metra, TM Mak, S. Tam, "Low-Cost Dynamic Compensation Scheme for Local Clocks of Next Generation High Performance Microprocessors", in IEEE Transactions on VLSI Systems, Vol. 19, issue 12, pp. 2322 – 2325, 2011, The Institute of Electrical and Electronics Engineers Inc., Piscataway, (NJ), 2011 (TVLSI-00007-2010).
- R10. C. Metra, **M. Omaña**, TM Mak, S. Tam, "New Design For Testability Approach for Clock Fault Testing", in IEEE Transactions on Computers, Vol. 61, No. 4, pp. 448 – 457, April 2012, IEEE Computer Society Press, Los Alamitos (California), 2012 (TC-2009-11-0558).
- R11. **M. Omaña**, D. Rossi, N. Bosio, C. Metra, "Low Cost NBTI Degradation Detection & Masking Approaches", in IEEE Transactions on Computers, Vol. 62, Issue 3, March 2013, pp. 496 – 509, IEEE Computer Society Press, Los Alamitos (California), 2013 (TC-2010-12-0712).
- R12. **M. Omaña**, D. Rossi, D. Giaffreda, R. Specchia, C. Metra, M.



- Marzencki, B. Kaminska, "Faults Affecting Energy Harvesting Circuits of Self-Powered Wireless Sensors and Their Possible Concurrent Detection", in IEEE Transactions on VLSI Systems, Vol. 21, Issue 12, December 2013, pp. 2286 – 2294, IEEE Computer Society Press, Los Alamitos (California), 2012.
- R13. D. Rossi, **M. Omaña**, G. Garrammone, C. Metra, A. Jas, and R. Galivanche, "Low Cost Concurrent Error Detection Strategy for the Control Logic of High Performance Microprocessors and Its Application to the Instruction Decoder", The Journal of Electronic Testing: Theory and Applications (JETTA). Volume 29, Issue 3, 2013, pp. 401-413, Springer, Springer Boston/Norwell (USA), 2013.
- R14. D. Rossi, **M. Omaña**, J. M. Cazeaux, C. Metra, TM. Mak, "Clock Faults Induced Min and Max Delay Violations", The Journal of Electronic Testing: Theory and Applications, Volume 30, Issue 1, 2014, pp. 111-123, Springer, Springer Boston/Norwell (USA), 2014, Springer, Springer Boston/Norwell (USA), 2014.
- R15. R. Vimalathithan, D. Rossi, **M. Omaña**, C. Metra, M.L.Valarmathi, "Polynomial Based Key Distribution Scheme for WPAN", Malaysian Journal of Mathematical Sciences, Special Edition of International Conference on Cryptology on Computer Security, Vol. 7(S), pp. 59-72, August 2013, ISSN: 1823-8343
- R16. **M. Omaña**, D. Rossi, D. Giaffreda, C. Metra, TM Mak, A. Rahman, S. Tam, "Low-Cost On-Chip Clock Jitter Measurement Scheme", IEEE Transactions on Very Large Scale Integrated (VLSI) Systems, Vol. 23, Issue 3, March 2015, pp. 435 – 443, IEEE Computer Society Press, Los Alamitos (California), 2015.
- R17. D. Rossi, **M. Omaña**, C. Metra, A. Paccagnella, "Impact of Bias Temperature Instability on Soft Error Susceptibility", IEEE Trans. on Very Large Scale Integration (VLSI) Systems, Vol. 23, Issue 4, April 2015, pp. 743 – 751, IEEE Computer Society Press, Los Alamitos (California), 2015.
- R18. D. Rossi, **M. Omaña**, D. Giaffreda, C. Metra, "Modeling and Detection of Hot-Spot in Shaded Photovoltaic Cells", IEEE Trans. on Very Large Scale Integration (VLSI) Systems, Vol. 23, Issue 6, 2015, pp. 1031 – 1039, IEEE Computer Society Press, Los Alamitos (California), 2015.
- R19. **M. Omaña**, D. Rossi, E. Beniamino, C. Metra, C. Tirumurti, R. Galivanche, "Low-Cost and High-Reduction Approaches for Power Droop During Launch-On-Shift Scan-Based Logic BIST", IEEE Trans. on Computers, Vol. 65, Issue 8, pp. 2484-2484, August 2016.
- R20. **M. Omaña**, D. Rossi, T. Edara, C. Metra, "Impact of Aging Phenomena on Latches' Robustness", IEEE Trans. on Nanotechnology, Issue 2, pp. 129-136, March 2016.



- R21 **M. Omaña**, D. Rossi, F. Fuzzi, C. Metra, C. Tirumurti, R. Galivanche, “Scalable Approach for Power Droop Reduction During Scan-Based Logic BIST”, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, Vol. 25, No. 1, January 2017, pp. 238 - 246.
- R22. **M. Omaña**, T. Edara, C. Metra, “Low-Cost Strategy to Mitigate the Impact of Aging on Latches’ Robustness”, *IEEE Transactions on Emerging Topics in Computing*, Vol. 6, Issue 4, June 2018, pp. 488-497.
- R23. R. Vimalathithan, D. Rossi, **M. Omaña**, C. Metra, M.L. Valarmathi, “Cryptanalysis of Simplified-AES Encrypted Communication”, *Int. Journal of Computer Science and Information Security*, Vol. 13, 2015, ISSN: 2309-9410
- R24. **M. Omaña**, M. Padovani, K. Velu, C. Metra, J. Alt, R. Galivanche, “New Approaches for Power Binning of High Performance Microprocessors”, *IEEE Transactions on Computers*, Vol. 66, Issue 7, 2017, pp. 1159-1171
- R25. **M. Omaña**, A. Fiore, M. Mongitore, C. Metra, “Fault Tolerant Inverters for Reliable Photovoltaic Systems”, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, Vol. 27, Issue 1, January 2019, pp. 20-28.
- R26. M. Grossi, **M. Omaña**, “Impact of Bias Temperature Instability (BTI) Aging Phenomenon on Clock Deskew Buffers”, *Journal of Electronic Testing: Theory and Applications (JETTA)*, Vol. 35, Number 2, April 2019
- R27. **M. Omaña**, S. Govindaraj, C. Metra, “Low-Cost Strategy for Bus Propagation Delay Reduction”, *Journal of Electronic Testing: Theory and Applications (JETTA)*, Vol. 35, Number 2, April 2019
- R28. M. Grossi, A. Berardinelli, E. Sazonov, W. Beccaro, **M. Omaña**, “Sensors and Embedded Systems in Agriculture and Food Analysis”, *Journal of Sensors*, Hindawi, vol. 2019, Article ID 6808674, January 2019.
- R29. Z. Shirmohammadi, A. Nikoofard, A. Khorami, **M. Omaña**, “ST-CAC: A Low-Cost Crosstalk Avoidance Coding Mechanism based on Three-Valued Logic”, *Journal of Supercomputing*, Springer, January 2021.
- R30. M. Grossi, **M. Omaña**, “Investigation of the Impact of BTI Aging Phenomenon on Analog Amplifiers”, to appear on the *Journal of Electronic Testing: Theory and Applications (JETTA)*, Springer, 2021.
- R31. **M. Omaña**, S. Bardhan, C. Metra, “Reliability Risks Due to Faults Affecting Selectors of ReRAMs and Possible Solutions”, *IEEE Transactions on Emerging Topics in Computing*, 2021.
- R32. **M. Omaña**, M. Grossi, C. Metra, “Early Fault Detection in Inverters of Photovoltaic Systems”, *Microelectronic Reliability*,



Elsevier, Vol. 135, August 2022

- R33. M. Grossi, M. Bouras, **M. Omaña**, C. Metra, H. Berbia, "Low-Cost Strategy to Detect Faults Affecting Scrubbers in SRAM-Based FPGAs", *Microprocessors and Microsystems*, *Elsevier*, Vol. 89, 2022

**PUBBLICAZIONI SU
PROCEEDINGS DI CONVEGNI
INTERNAZIONALI
PEER REFEREED**

- C1. **M. Omaña**, D. Rossi, C. Metra, "High Speed and Highly Testable Parallel Two-Rail Code Checker", in IEEE Proceedings of Design, Automation and Test in Europe (DATE) Conference, Munich (Germany), pp. 608-613, March 4-7, 2003, IEEE Computer Society Press, Los Alamitos (California), 2003.
- C2. **M. Omaña**, G. Papasso, D. Rossi, C. Metra, "A Model for Transient Fault Propagation in Combinatorial Logic", in IEEE Proceedings 9th IEEE International On-Line Testing Symposium, Kos (Greece), July 7 - 9, 2003, pp. 111-115, IEEE Computer Society Press, Los Alamitos (California), 2003.
- C3. **M. Omaña**, D. Rossi, C. Metra, "Novel Transient Fault Hardened Static Latch", in IEEE Proceedings of International Test Conference (ITC), Baltimore (MD), September 30 - October 2, 2003, pp. 886-892, International Test Conference, 2025 M Street, N.W., Suite 800, Washington D.C., 20036, 2003.
- C4. C. Metra, S. Di Francescantonio, **M. Omaña**, "Automatic Modification of Sequential Circuits for Self-Checking Implementation", in IEEE Proceedings of The International Symposium on Defect and Fault Tolerance in VLSI Systems, Boston (MA), November 2003, pp. 417-424, IEEE Computer Society Press, Los Alamitos (California), 2003.
- C5. C. Metra, TM Mak, **M. Omaña**, "Are Our Design For Testability Features Fault Secure ?", in IEEE Proceedings of Design, Automation and Test in Europe (DATE) Conference, Paris (France), pp. 714—715, February 16-20, 2004, IEEE Computer Society Press, Los Alamitos (California), 2004.
- C6. J. M. Cazeaux, **M. Omaña**, C. Metra, "Low-Area and Fast On-Chip Circuit for Jitter Measurement in Phase-Locked Loop", in IEEE Proceedings 10th IEEE International On-Line Testing Symposium, Madeira (Portugal), July 12 - 14, 2004, pp. 17-22, IEEE Computer Society Press, Los Alamitos (California), 2004.
- C7. C. Metra, TM Mak, **M. Omaña**, "Fault Secureness Need for Next Generation High Performance Microprocessor Design for Testability Structures", in Proceedings of 2004 ACM International Conference on Computing Frontiers, Ischia (Italy), pp. 444—450, April 14-16, 2004, ACM ISBN: 1-58113-741-9.



- C8. C. Metra, A. Ferrari, **M. Omaña**, A. Pagni, "Hardware Reconfiguration Scheme for High Availability Systems", in IEEE Proceedings 10th IEEE International On-Line Testing Symposium, Madeira (Portugal), July 12 - 14, 2004, pp. 161-166, IEEE Computer Society Press, Los Alamitos (California), 2004.
- C9. C. Metra, TM Mak, **M. Omaña**, "Should We Make Our Design for Testability Schemes Fault Secure ?", in IEEE Proc. of The IEEE European Test Symp. Aiaccio (Corsica), pp. 67—72, May, 2004.
- C10. C. Metra, **M. Omaña**, TM Mak, "Risks Associated with Faults within Test Pattern Compactors and Their Implications on Testing", in IEEE Proceedings of International Test Conference (ITC), Charlotte (NC), pp. 1223 - 1231, October 26- October 28, 2004, International Test Conference, 2025 M Street, N.W., Suite 800, Washington D.C., 20036, 2004.
- C11. **M. Omaña**, D. Rossi, C. Metra, "Fast and Low Cost Deskew Buffer", in IEEE Proceedings of The International Symposium on Defect and Fault Tolerance in VLSI Systems, Cannes (France), October 11-13, 2004, pp. 202 – 210, IEEE Computer Society Press, Los Alamitos (California), 2004.
- C12. **M. Omaña**, D. Rossi, C. Metra, "Low Cost Scheme for On-Line Clock Skew Compensation", in IEEE Proceedings of 23rd IEEE VLSI Test Symposium, Palm Springs (California), May 1-5, 2005, pp. 90—95, IEEE Computer Society Press, Los Alamitos (California), 2005.
- C13. J. M. Cazeaux, D. Rossi, **M. Omaña**, C. Metra, A. Chatterjee, "On Transistor Level Gate Sizing for Increased Robustness to Transient Faults", in IEEE Proceedings 11th IEEE International On-Line Testing Symposium, Saint Raphael (France), July 6-8, 2005, pp. 23—28, IEEE Computer Society Press, Los Alamitos (California), 2005.
- C14. **M. Omaña**, O. Losco, C. Metra, A. Pagni, "On the Selection of Unidirectional Error Detecting Codes for Self-Checking Circuits' Area Overhead and Performance Optimization", in IEEE Proceedings 11th IEEE International On-Line Testing Symposium, Saint Raphael (France), July 6-8, 2005, pp. 163—168, IEEE Computer Society Press, Los Alamitos (California), 2005.
- C15. C. Metra, **M. Omaña**, D. Rossi, JM. Cazeaux, TM Mak, "The Other Side of the Timing Equation: a Result of Clock Faults", in IEEE Proceedings of The International Symposium on Defect and Fault Tolerance in VLSI Systems, Monterey (California), October 3-5, 2005, pp. 169—177, IEEE Computer Society Press, Los Alamitos (California), 2005.
- C16. D. Rossi, **M. Omaña**, F. Toma, C. Metra, "Multiple Transient Faults in Logic: an Issue for Next Generation ICs ?", in IEEE Proceedings of The International Symposium on Defect and Fault



Tolerance in VLSI Systems, Monterey (California), October 3-5, 2005, pp. 352—360, IEEE Computer Society Press, Los Alamitos (California), 2005.

- C17. **M. Omaña**, J. M. Cazeaux, D. Rossi, C. Metra, “Low-Cost and Highly Reliable Detector for Transient and Crosstalk Faults Affecting FPGA Interconnects”, in IEEE Proceedings of IEEE Design, Automation and Test in Europe (DATE 2006), Munich (Germany) March 6 - 10, 2006, pp. 170—175, IEEE Computer Society Press, Los Alamitos (California), 2006.
- C18. C. Metra, D. Rossi, **M. Omaña**, J.M. Cazeaux, TM Mak, “Can Clock Faults Be Detected Through Functional Test ?”, Proc. of the 9th IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems (DDECS’06), Prague (Czech Republic), April 18 – 21, 2006, pp. 168—173, ISBN: 1-4244-0184-4.
- C19. D. Rossi, **M. Omaña**, C. Metra, A. Pagni, “Checker No-Harm Alarm Robustness”, in IEEE Proceedings of the IEEE International On-Line Testing Symposium, Como (Italy), July 10-12, 2006, pp.275—280, IEEE Computer Society Press, Los Alamitos (California), 2006.
- C20. C. Metra, **M. Omaña**, D. Rossi, J. M. Cazeaux, TM Mak, “Path (Min) Delay Faults and Their Impact on Self-Checking Circuits’ Operation”, in IEEE Proceedings of the IEEE International On-Line Testing Symposium, Como (Italy), July 10-12, 2006, pp.17—22, IEEE Computer Society Press, Los Alamitos (California).
- C21. C. Metra, **M. Omaña**, TM. Mak, S. Tam, “Novel Approach to Clock Fault Testing for High Performance Microprocessors”, in IEEE Proc. VLSI Test Symp. 2007, May 6-9, Berkeley, CA, 2007, pp. 441-446, IEEE Computer Society Press, Los Alamitos, 2007.
- C22. C. Metra, **M. Omaña**, TM. Mak, S. Tam, “Novel Compensation Scheme for Local Clocks of High Performance Microprocessors”, in IEEE Proc. of the IEEE Int. Test Conference 2007, Santa Clara (California), October 21-26, 2007, pp. 1-9, Int. Test Conf., 2025 M Street, N.W., Suite 800, Washington D.C., 20036, 2007.
- C23. C. Metra, D. Rossi, **M. Omaña**, A. Jas, R. Galivanche, “Function-Inherent Code Checking: A New Low Cost On-Line Testing Approach For High Performance Microprocessor Control Logic”, in IEEE Proceedings of the IEEE European Test Symposium 2008, Lake Maggiore (Italy), May 25-29, 2008, pp. 171—176, IEEE Computer Society Press, Los Alamitos (California), 2008.
- C24. C. Metra, **M. Omaña**, TM Mak, A. Rahman, S. Tam, “Novel On-Chip Clock Jitter Measurement Scheme For High Performance Microprocessors”, in IEEE Proceedings of the 21st IEEE Int. Symposium on Defect and Fault Tolerance in VLSI Systems (DFT’08), Cambridge (MA), October 1-3, 2008, pp. 465-473, IEEE Computer Society Press, Los Alamitos (California), 2008.



- C25. C. Metra, D. Rossi, **M. Omaña**, A. Jas, R. Galivanche, "Low Cost On-Line Testing of the Scheduler of High Performance Microprocessors", in IEEE Proceedings of the IEEE European Test Symposium 2009, Sevilla (Spagna), May 25-29, 2009.
- C26. (Best Paper Award) **M. Omaña**, D. Rossi, C. Metra, "Novel High Speed Robust Latch", in IEEE Proceedings of the 22nd IEEE Int. Symposium on Defect and Fault Tolerance in VLSI Systems (DFT'09), Chicago (IL), October 7-9, 2009, pp. 65-73, IEEE Computer Society Press, Los Alamitos (California), 2009.
- C27. **M. Omaña**, M. Marzencki, R. Specchia, C. Metra, B. Kaminska, "Concurrent Detection of Faults Affecting Energy Harvesting Circuits of Self-Powered Wearable Sensors", in IEEE Proc. of IEEE Int. Symposium on Defect and Fault Tolerance in VLSI Systems (DFT'09), Chicago (IL), October 7-9, pp.127-135, 2009, IEEE Computer Society Press, Los Alamitos (California), 2009.
- C28. **M. Omaña**, D. Rossi, N. Bosio, C. Metra, "Novel Low-Cost Aging Sensor", in ACM Proceedings of the ACM International Conference on Computing Frontiers, Bertinoro (Italy), May 17-19, 2010, ACM, New York (NY), 2010.
- C29. D. Rossi, **M. Omaña**, G. Berghella, C. Metra, A. Jas, T. Chandra, R. Galivanche, "Low Cost and Low Intrusive Approach to Test On-Line the Scheduler of High Performance Microprocessors", in ACM Proceeding of the ACM International Conference on Computing Frontiers, Bertinoro (Italy), May 17-19, 2010, ACM, New York (NY), 2010.
- C30. **M. Omaña**, D. Rossi, N. Bosio, C. Metra, "Self-Checking Monitor for NBTI Due Degradation", in Proceedings of the 16th IEEE International Mixed-Signals, Sensors, and Systems Test Workshop (IMS3TW'10), Montpellier (France), June 7-9, 2010, IEEE Computer Society Press, Los Alamitos (California), 2010.
- C31. **M. Omaña**, D. Giaffreda, C. Metra, TM Mak, S. Tam, A. Rahman, "On-Die Ring Oscillator Based Measurement Scheme for Process Parameter Variations and Clock Jitter", in IEEE Proceedings of the 23rd IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems (DFT'10), Kyoto (Japan), October 6-8, 2010, pp. 265 – 272, IEEE Computer Society Press, Los Alamitos (California), 2010.
- C32. D. Rossi, **M. Omaña**, C. Metra, "Transient Fault and Soft Error On-Die Monitor", in IEEE Proceedings of the 23rd IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems (DFT'10), Kyoto (Japan), October 6-8, 2010, pp. 391-398, IEEE Computer Society Press, Los Alamitos (California), 2010.
- C33. D. Rossi, **M. Omaña**, D. Giaffreda, C. Metra, "Secure Communication Protocol for Wireless Sensor Networks", in Proc. of 2010 8th IEEE East-West Design & Test Symposium



(EWDTS), September 17-20, 2010.

- C34. D. Rossi, **M. Omaña**, C. Metra, A. Paccagnella, "Impact of Aging Phenomena on Soft Error Susceptibility", in IEEE Proceedings of the 24th IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems (DFT'11), Vancouver (Canada), October 3-5, 2011, pp. 18 – 24.
- C35. D. Giaffreda, **M. Omaña**, D. Rossi, C. Metra, "Model for Thermal Behavior of Shaded Photovoltaic Cells Under Hot-Spot Condition", in IEEE Proceedings of the 24th IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems (DFT'11), Vancouver (Canada), October 3-5, 2011, pp. 252 – 258.
- C36. **M. Omaña**, D. Rossi, G. Collepalumbo, C. Metra, F. Lombardi, "Faults Affecting the Control Blocks of PV Arrays and Techniques for Their Concurrent Detection", in IEEE Proceedings of the 25th IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT'12), Austin (Texas, USA), October 3-5, 2012, pp. 199-204, IEEE Computer Society Press, Los Alamitos (California), 2012.
- C37. Vimalathithan R., D. Rossi, **M. Omaña**, C. Metra, M. L. Valarmathi, "Polynomial Based Key Distribution Scheme for WPAN", in Proceedings of 3rd International Conference on Cryptology and Computer Security 2012, Langkawi, Malaysia, June 4-6 2012.
- C38. C. Bolchini, A. Miele, C. Sandionigi, M. Ottavi, S. Pontarelli, A. Salsano, C. Metra, **M. Omaña**, D. Rossi, M. Sonza Reorda, L. Sterpone, M. Violante, S. Gerardin, M. Bagatin, A. Paccagnella, "High-reliability Fault Tolerant Digital Systems in Nanometric Technologies: Characterization and Design Methodologies" in IEEE Proceedings of the 25th IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT'12), Austin (Texas, USA), October 3-5, 2012, pp. 121-125, IEEE Computer Society Press, Los Alamitos (California), 2012.
- C39. **M. Omaña**, D. Rossi, F. Fuzzi, C. Metra, C. Tirumurti, and R. Galivanche, "Novel Approach to Reduce Power Droop During Scan-Based Logic BIST", in Proceedings of IEEE European Test Symposium (ETS), Avignon (France), May 27-31, 2013, pp. 1-6, IEEE Computer Society Press, Los Alamitos (California), 2013.
- C40. **M. Omaña**, D. Rossi, E. Beniamino, C. Metra, C. Tirumurti, and R. Galivanche, "Power Droop Reduction During Launch-On-Shift Scan-Based Logic BIST" in Proc. of IEEE Int. Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems, Amsterdam, October 1-3, 2014, pp. 21-26, IEEE Computer Society Press, Los Alamitos (California), 2014.
- C41. **M. Omaña**, L. A. Adanaque, C. Metra, D. Rossi, "On Aging of Latches' Robustness", in Proc. of Manufacturable and



Dependable Multicore Architectures at Nanoscale (MEDIAN) Workshop, 2015.

- C42. M. A. Kochte, A. Dalirsani, A. Bernabei, **M. Omaña**, C. Metra, H. J. Wunderlich, "Intermittent and Transient Fault Diagnosis on Sparse Code Signatures", in Proc. IEEE Asian Test Symposium (ATS), 2015, pp. 157 – 162, IEEE Computer Society Press, Los Alamitos (California), 2015.
- C43. **M. Omaña**, A. Fiore, C. Metra, "Inverters' Self-Checking Monitors for Reliable Photovoltaic Systems", in Proceedings of Design, Automation and Test in Europe (DATE 2016), Dresden (Germany) March 14 - 18, 2016.
- C44. M. Grossi, **M. Omaña**, D. Rossi, C. Metra, "Novel BTI Robust Ring-Oscillator-Based Physically Unclonable Function", in *Proceedings of the 28th IEEE International On-Line Testing Symposium*, Torino (Italy), September 12-14, 2022.
- C45. **M. Omaña**, F. Finelli, C. Metra, "Impact of Soft Errors on High Performance Autoencoders for Cyberattack Detection", in *Proceedings of IEEE International Latin American Test Symposium*, Virtual Event, September 5-8, 2022.

Data: Bologna, 28 Settembre 2022

Firma,